

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-266583

(P2001-266583A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
G 1 1 C 16/06		G 1 1 C 29/00	6 5 5 M
16/02			6 7 3 V
16/04		17/00	6 3 4 Z
29/00	6 5 5		6 1 1 A
	6 7 3		6 1 2 B

審査請求 有 請求項の数 4 O L (全 60 頁) 最終頁に続く

(21) 出願番号 特願2001-29460 (P2001-29460)
 (62) 分割の表示 特願平8-162334の分割
 (22) 出願日 平成4年12月11日 (1992.12.11)

(31) 優先権主張番号 特願平3-354871
 (32) 優先日 平成3年12月19日 (1991.12.19)
 (33) 優先権主張国 日本 (J P)
 (31) 優先権主張番号 特願平3-343200
 (32) 優先日 平成3年12月25日 (1991.12.25)
 (33) 優先権主張国 日本 (J P)
 (31) 優先権主張番号 特願平4-86082
 (32) 優先日 平成4年3月10日 (1992.3.10)
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (72) 発明者 田中 智晴
 神奈川県川崎市幸区小向東芝町1 株式会
 社東芝研究開発センター内
 (72) 発明者 百富 正樹
 神奈川県川崎市幸区小向東芝町1 株式会
 社東芝研究開発センター内
 (74) 代理人 100075812
 弁理士 吉武 賢次 (外4名)

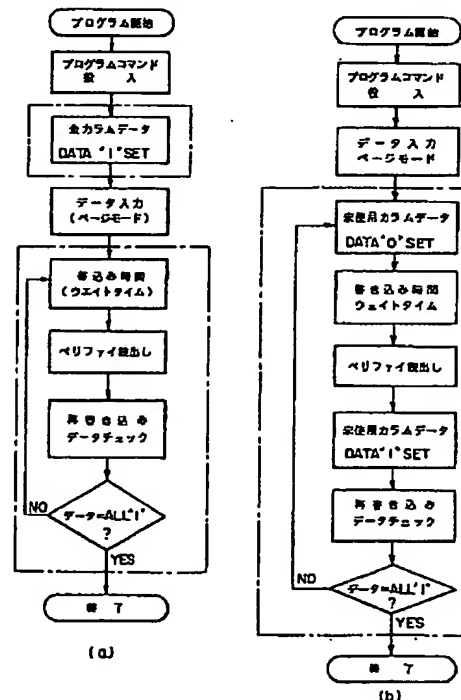
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 プログラムベリファイやイレーズベリファイに要する時間を短縮する。再書き込みや再イレーズしても、しきい値電圧が変化しすぎないようにする。

【解決手段】 電荷蓄積層を有するメモリセルが行列を形成しマトリクス状に配置されたメモリセルアレイと、それぞれがそれぞれの行を形成する前記メモリセルに共通に接続される複数のワード線と、それぞれがそれぞれの列を形成する前記メモリセルに共通に接続される複数のビット線と、前記ワード線を選択し書き込み電圧を印加する手段と、選択されたワード線に接続される前記メモリセルの前記電荷蓄積層に電荷蓄積を行うための書き込み制御電圧を前記ビット線に印加するか否かを決定する第1の論理レベルあるいは第2の論理レベルの制御データを記憶する、それぞれがそれぞれのビット線に設けられた複数のデータ記憶回路と、を具備し、外部から入力された制御データが記憶される前記データ記憶回路以外の前記データ記憶回路に、前記ビット線に前記書き込み制御電圧を印加しないように決める前記第2の論理レベルの制御データを、内部で記憶させる。



【特許請求の範囲】

【請求項1】電荷蓄積層を有するメモリセルが行列を形成しマトリクス状に配置されたメモリセルアレイと、それぞれがそれぞれの行を形成する前記メモリセルに共通に接続される複数のワード線と、それぞれがそれぞれの列を形成する前記メモリセルに共通に接続される複数のビット線と、前記ワード線を選択し書き込み電圧を印加する手段と、選択されたワード線に接続される前記メモリセルの前記電荷蓄積層に電荷蓄積を行うための書き込み制御電圧を前記ビット線に印加するか否かを定める第1の論理レベルあるいは第2の論理レベルの制御データを記憶する、それぞれがそれぞれのビット線に設けられた複数のデータ記憶回路と、を具備し、外部から入力された制御データが記憶される前記データ記憶回路以外の前記データ記憶回路に、前記ビット線に前記書き込み制御電圧を印加しないように定める前記第2の論理レベルの制御データを、内部で記憶させる、ことを特徴とする不揮発性半導体記憶システム。

【請求項2】前記メモリセルアレイは欠陥メモリセルを救済するための冗長メモリセルを備え、選択されたワード線に接続されるメモリセルのうち前記欠陥メモリセルに対応する前記データ記憶回路には前記第2の論理レベルの制御データを、内部で記憶させる、ことを特徴とする請求項1記載の不揮発性半導体記憶システム。

【請求項3】不揮発性メモリセルが行列を形成しマトリクス状に配置されたメモリセルアレイと、それぞれがそれぞれの行を形成する前記メモリセルに共通に接続される複数のワード線と、それぞれがそれぞれの列を形成する前記メモリセルに共通に接続される複数のビット線と、前記ワード線を選択し書き込み電圧を印加する手段と、内部昇圧された書き込み制御電圧を前記ビット線に印加するか否かを定める第1の論理レベルあるいは第2の論理レベルの制御データを記憶する、それぞれがそれぞれのビット線に設けられた複数のデータ記憶回路と、を具備し、外部から入力された制御データが記憶される前記データ記憶回路以外の前記データ記憶回路に、前記ビット線に前記内部昇圧された書き込み制御電圧を印加しないように定める前記第2の論理レベルの制御データを、内部で記憶させる、ことを特徴とする不揮発性半導体記憶システム。

【請求項4】前記メモリセルアレイは欠陥メモリセルを救済するための冗長メモリセルを備え、選択されたワード線に接続されるメモリセルのうち前記欠陥メモリセルに対応する前記データ記憶回路には前記第2の論理レベルの制御データを、内部で記憶させる、

ことを特徴とする請求項3記載の不揮発性半導体記憶システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラッシュEEPROMを用いた不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】従来、コンピュータシステムの記憶装置として磁気ディスク装置が広く用いられてきた。しかし、磁気ディスク装置には、以下のような短所、即ち、高度に精密な機械的駆動機構を有するため衝撃に弱い、重量があるため可搬性に乏しい、消費電力が大きく電池駆動が容易でない、及び高速アクセスができない等の短所があった。

【0003】このような欠点に着目して、近年、EEPROMを用いた半導体メモリ装置の開発が進められている。半導体メモリ装置には、一般に、そのような長所、即ち、機械的駆動部分を有しないため衝撃に強い、軽量のため可搬性に富む、消費電力が小さいため電池駆動が容易である、高速アクセスが可能である等の長所を有している。

【0004】EEPROMの一つとして、高集積化が可能なNANDセル型EEPROMが知られている。これは、次のような構造を有する。即ち、複数のメモリセルは例えばカラム方向に並べる。これらのセルのうちの互いに隣りあうセル同士のソースとドレインを順次直列に接続する。このような接続により、複数のメモリセルが直列接続された単位セル群（NANDセル）を構成する。このような単位セル群を一単位としてビット線に接続する。

【0005】メモリセルは、通常、電荷蓄積層と制御ゲートとが積層されたFETMOS構造を有する。メモリセルは、p型基板又はn型基板に形成されたp型ウエル内にアレイ状に集積形成される。NANDセルのドレイン側は、選択ゲートを介して、ビット線に接続される。NANDセルのソース側は、選択ゲートを介して、ソース線（基準電位配線）に接続される。各メモリセルの制御ゲートは、行方向に配設されたワード線に接続されている。

【0006】このNAND型EEPROMの書き込み動作は、次の通りである。先の消去動作によって、NANDセル内の全てのメモリセルのしきい値が負にされている。この後、データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行われる。選択されたメモリセルの制御ゲートには高電圧 V_{pp} （ $=20V$ 程度）を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートに中間電位 V_M （ $=10V$ 程度）を印加する。ビット線に書き込みデータに応じて $0V$ 又は中間電位を与える。ビット線に $0V$ が与えられた時、その電位は選択メモリセルのドレインまで伝達されて、ドレイ

ンから浮遊ゲートに電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を、例えば“0”とする。ビット線に中間電位が与えられたときは電子注入が起こらない。従って、このときにはメモリセルのしきい値は変化しない。つまり、しきい値は負の値をとる。この状態を“1”とする。

【0007】データ消去は、NANDセル内の全てメモリセルに対して同時に行われる。即ち、全ての制御ゲート及び選択ゲートを0Vとし、ビット線及びソース線を浮遊状態とし、p型ウェル及びn型基板に高電圧20Vを印加する。これにより、全てのメモリセルで浮遊ゲート中の電子がp型ウェルに抜き取られ、メモリセルのしきい値は負方向にシフトとする。

【0008】データ読出し動作は、次のようにして行われる。即ち、選択されたメモリセルの制御ゲートを0Vとし、非選択メモリセルの制御ゲート及び選択ゲートを電源電位Vcc(=5V)とする。この状態で、選択メモリセルに電流が流れるか否かを検出する。流れれば“1”のデータが、流れなければ“0”のデータがそれぞれ格納されているのがわかる。

【0009】以上の動作説明から明らかなように、NANDセル型EEPROMでは、書き込み及び読出し動作時には、非選択メモリセルは、転送ゲートとして作用する。このため、書き込みがなされたメモリセルのしきい値電圧には制限がある。例えば“0”書き込みされたメモリセルのしきい値の好ましい範囲は、0.5〜3.5V程度でなければならない。データ書き込み後の経時変化、メモリセルの製造パラメータのばらつき及び電源電位のばらつきを考慮すると、データ書き込み後のしきい値分布は上記範囲よりも小さい範囲である必要がある。

【0010】しかしながら、従来のように、書き込み電位及び書き込み時間を固定し、全メモリセルについて同一条件でデータ書き込みする方式では、“0”書き込み後のしきい値範囲を許容範囲に収めることが難しい。例えば、メモリセルには、製造プロセスのばらつきから、セルの特性にばらつきが生じる。このため、書込まれやすいメモリセルと書込まれにくいメモリセルが生じる。このような書き込み特性差に着目し、各々のメモリセルのしきい値が所望の範囲に収まるような書き込みが行われるようにするため、書き込み時間の長さを調節し、且つベリファイを行いながら書込む、という方法も提案されている。

【0011】しかしながら、このような方法を採用した場合には、書き込みが十分に行われたかを判断するためにメモリセルのデータを装置外部に出力しなければならない。このため全書き込み時間が長くなるという難点があった。

【0012】消去ベリファイに関しては、特開平3-259499に開示されているように、複数のセンスアンプの出力をANDゲートに入力してそれらの論理をとつ

て、一括消去ベリファイ信号を生成するという技術が知られている、しかし、この回路構成は、NOR型の消去ベリファイのみにしか用いることが出来ず、書き込みベリファイには適用できない。その理由は、書き込みデータの値は、“1”と“0”の両方の値を取り、センスアンプ出力の論理をとることによって一括ベリファイが行えないためである。このように、書き込みベリファイを一括して行うことができないため、データ書き込みの際には、書き込みとベリファイ読出しとを繰り返して行い、各メモリセルのデータをその都度1つ1つチップ外部に出力しなければならなかった。このことが、書き込み動作の高速化を妨げる要因となっていた。

【0013】

【発明が解決しようとする課題】本発明は、上記高速化達成の困難さに着目してなされたもので、その目的は、制御回路の面積を増大させることなく、書き込み動作及び書き込みベリファイ並びに消去動作及び消去ベリファイを高速化可能なEEPROM及びそれを用いたシステムを提供することにある。

【0014】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、電荷蓄積層を有するメモリセルが行列を形成しマトリクス状に配置されたメモリセルアレイと、それぞれがそれぞれの行を形成する前記メモリセルに共通に接続される複数のワード線と、それぞれがそれぞれの列を形成する前記メモリセルに共通に接続される複数のビット線と、前記ワード線を選択し書き込み電圧を印加する手段と、選択されたワード線に接続される前記メモリセルの前記電荷蓄積層に電荷蓄積を行うための書き込み制御電圧を前記ビット線に印加するか否かを定める第1の論理レベルあるいは第2の論理レベルの制御データを記憶する、それぞれがそれぞれのビット線に設けられた複数のデータ記憶回路と、を具備し、外部から入力された制御データが記憶される前記データ記憶回路以外の前記データ記憶回路に、前記ビット線に前記書き込み制御電圧を印加しないように定める前記第2の論理レベルの制御データを、内部で記憶させるものとして構成される。

【0015】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は、本発明の第1実施例のNAND型EEPROMを示すブロック図である。メモリセルアレイ1に対して、データ書き込み、読出し、再書き込み及びベリファイ読出しを行うために、ビット線制御回路2が設けられている。このビット線制御回路2は、データ入出力バッファ6につながっている。アドレスバッファ4からのアドレス信号は、カラムデコーダ3を介して、ビット線制御回路2に加えられる。メモリセルアレイ1における制御ゲート及び選択ゲートを制御するため、ロウデコーダ5が設けられている。メモリセルアレイ1が形成される

p型領域（p基板又はp型ウェル）の電位を制御するため、基板電位制御回路7が設けられている。

【0016】プログラム終了検出回路8は、ビット線制御回路2にラッチされているデータを検知し、書き込み終了信号を出力する。書き込み終了信号は、データ入出力バッファ6から外部へ出力される。

【0017】ビット線制御回路2は、主にCMOSフリップフロップ（FF）を有する。これらのFFは、書き込むためのデータのラッチ、ビット線の電位を検知するためのセンス動作、書き込み後のベリファイ読出しのためのセンス動作、さらに再書き込みデータのラッチを行う。

【0018】図2（a）、（b）は、それぞれ、メモリセルアレイの一つのNAND部分の平面図及び等価回路図である。図3（a）、（b）は、それぞれ、図2

（a）のA-A'線断面図及びB-B'線断面図である。素子分離酸化膜12で囲まれたp型領域11に、複数のメモリセル、つまり複数のNANDセルを有するメモリセルアレイが形成されている。以下には一つのNANDセルに着目して説明する。この実施例では、8個のメモリセルM1～M8が直列に接続されて一つのNANDセルを構成している。各メモリセルは基板11の上方に、ゲート絶縁膜13を介して浮遊ゲート14（14₁、14₂、…、14₈）が形成されている。これらの浮遊ゲート14の上方に、層間絶縁膜15を介して、制御ゲート16（16₁、16₂、…、16₈）が形成されている。各n型拡散層19は、隣接する2つのメモリセルの一方においては、ソースとして、他方においてはドレインとして共用される。これにより、各メモリセルは、直列に接続されることになる。

【0019】NANDセルのドレイン側とソース側には、それぞれ、メモリセルの浮遊ゲート及び制御ゲートと同じプロセスによって形成された選択ゲート14₉、14₁₀及び14₁₀、16₁₀が設けられている。このように素子形成された基板の上方は、CVD酸化膜17により覆われている。この酸化膜17の上にビット線18が配設されている。ビット線18は、NANDセルの一端のドレイン側拡散層19にコンタクトさせられている。行方向に並ぶ複数のNANDセルの同一行の制御ゲート14は、共通に接続され、行方向に走る制御ゲート線CG1、CG2、…、CG8として配設されている。これら制御ゲート線はいわゆるワード線となっている。選択ゲート14₉、16₉及び14₁₀、16₁₀も、それぞれ、行方向に走る選択ゲート線SG1、SG2として配設されている。選択ゲート14₁₀、16₁₀と基板11との間のゲート絶縁膜13をメモリセルのゲート絶縁膜より厚くすることもできる。このように厚くすれば、信頼性を高めることができる。

【0020】図4は、上記複数のNANDセルをマトリックス配列したメモリセルアレイの等価回路を示している。

【0021】図5は、図1中のビット線制御回路2の具体的な構成例を示す。データラッチ兼センスアップとしてのCMOSフリップフロップFFは、第1、第2の2つの信号同期式CMOSインバータIV1、IV2を有する。第1の信号同期式CMOSインバータIV1は、Eタイプ、pチャンネルMOSトランジスタQp1、Qp2と、Eタイプ、nチャンネルMOSトランジスタQn3、Qn4とを有する。第2の同期式CMOSインバータIV2は、Eタイプ、pチャンネルMOSトランジスタQp3、Qp4と、Eタイプ、nチャンネルMOSトランジスタQn5、Qn6とを有する。

【0022】このCMOSフリップフロップFFの出力ノードと、ビット線BLiとは、信号φFにより制御されるEタイプ、nチャンネルMOSトランジスタQn7を介して、接続されている。

【0023】ビット線BLiとVccの間には、フリップフロップFFの出力ノードにより制御されるEタイプ、nチャンネルMOSトランジスタQn8と、信号φVにより制御されるEタイプ、nチャンネルMOSトランジスタQn9とが、直列に接続されている。これらのトランジスタにより、ベリファイ読出し時に、CMOSフリップフロップFFのデータに応じて、ビット線BLiが（Vcc-Vth）に充電される。

【0024】Eタイプ、pチャンネルMOSトランジスタQp5とDタイプ、nチャンネルMOSトランジスタQD1の直列回路は、ビット線BLiをVccにプリチャージする回路である。トランジスタQD1は、消去時や書き込み時にトランジスタQp5に高電圧が印加されるのを防止するために設けられている。Eタイプ、nチャンネルMOSトランジスタQn10は、ビット線BLiを0Vにリセットするためのリセットトランジスタである。

【0025】CMOSフリップフロップFFの二つのノードN11、N12は、カラム選択信号CSLiにより共に制御される2つのトランスファゲート（Eタイプ、nチャンネルMOSトランジスタQn1とQn2）を介して入力線/IO、IOにそれぞれ接続されている。

【0026】また、CMOSフリップフロップFFのノードN11は、Eタイプ、nチャンネルMOSトランジスタQn11のゲートに接続されている。このトランジスタQn11の出力は、書き込み終了検出信号VDTCとして用いられる。

【0027】図6に、ビット線制御回路2と、メモリセルアレイ1及びプログラム終了検出回路8との、接続関係を示す。

【0028】プログラム終了検出回路8におけるEタイプ、pチャンネルMOSトランジスタQp6は、書き込み終了検出信号VDTCを出力する。図6中に破線で囲って汎例として示すように、FFは便宜上記号化してある。

【0029】この実施例の書き込み時及び確認時の回路動作を次に説明する。なお、以下の説明では、上述のよう

に、1つのNANDセルは8個のメモリセルの直列回路で構成したものとす。

【0030】書き込みに先立って、メモリセル中のデータは、p型領域（p基板又はpウェル）に約20V（V_p）を印加し、制御ゲートCG1～CG8を0Vとして、消去される。この消去により、メモリセルのしきい値は0V以下となる。

【0031】図7は、書き込み時／書き込み確認時の動作を示している。図5において、書き込みデータは、出力線I/O、I/Oから、CMOSフリップフロップFFにラッチされる。この後、プリチャージ信号φPが“H”、／φPが“L”となって、ビット線BLiがV_{cc}にプリチャージされる。また、電圧V_{MB}とφFは、V_{cc}から中間電位VM（～10V）となる。ラッチしたデータによって、ビット線BLiは、“0”書き込みの場合は0Vとなり、“1”書き込みの場合はVMとなる。このとき、図4において、選択ゲートSG1はVM、SG2は0Vであり、制御ゲートとしてはCG2が選択されている場合、CG1がVM、CG2が高電圧V_{pp}（～20V）で、CG3～CG8はVMである。

【0032】選択ゲートSG1、SG2、制御ゲートC

表 1

書き込みデータ	0	0	1	1
メモリセルのデータ	0	1	0	1
再書き込みデータ	1	0	1	1

この後、書き込み終了検知信号／φDVが“L”となる。もし全ての再書き込みデータが“1”であれば、書き込み終了検出信号VDTCが“H”となる。1つでも、“0”があれば、VDTCは“L”である。書き込み・書き込み確認動作は、VDTCが“H”となるまで繰り返される。そして、検出結果は、データ入出力ピン或いはREADY／BUSYピンから外部に出力される。

G1～CG8が0Vにリセットされた時、信号φFが“L”、リセット信号φRが“H”となって、ビット線BLiは0Vにリセットされる。続いて書き込み確認動作となる。

【0033】書き込み確認動作は、まずプリチャージ信号φpが“H”、／φpが“L”となって、ビット線BLiがV_{cc}にプリチャージされる。この後、ロウデコーダ5により選択ゲート、制御ゲートが駆動される。メモリセルのデータがビット線に読み出された後、選択ゲートSG1、SG2、制御ゲートCG1～CG8がリセットされる。この後、ペリファイ信号φVが“H”となり、“1”書き込みをしたビット線BLiにのみ（V_{cc}－V_t）が出力される。

【0034】この後、φSP、φRPが“H”となり、φSN、φRNが“L”となり、φFが“H”となる。信号φSPが“L”となり、φSNが“H”となってビット線電位がセンスされる。この後、信号φRPが“L”となり、φRNが“H”となって、再書き込みデータがラッチされる。このとき、書き込みデータ、メモリセルのデータ、再書き込みデータの関係は、下記の表1に示される。

【0035】

【0036】この実施例では、消去、書き込み、読出し、書き込み確認時におけるビット線BLi、選択ゲートSG1、SG2、制御ゲートCG1～CG8の電位は表2に示される。ここでは、CG2が選択された場合を示している。

【0037】

表 2

	消 去	書込み		読出し	書込み 確認
		“0”	“1”		
ビット線BLi	フローティング	0V	10V	5V	5V
選択ゲートSG1	0V	10V	10V	5V	5V
制御ゲートCG1	0V	10V	10V	5V	5V
“ ” CG2	0V	20V	20V	0V	0.5V
“ ” CG3	0V	10V	10V	5V	5V
“ ” CG4	0V	10V	10V	5V	5V
“ ” CG5	0V	10V	10V	5V	5V
“ ” CG6	0V	10V	10V	5V	5V
“ ” CG7	0V	10V	10V	5V	5V
“ ” CG8	0V	10V	10V	5V	5V
選択ゲートSG2	0V	0V	0V	5V	5V
ソース線	フローティング	0V	0V	0V	0V
基 板	20V	0V	0V	0V	0V

図8は、本発明の第2の実施例のNAND型EEPROMを示すブロック図である。基本的な構成は図1と同様

である。第2実施例が第1と異なる点は、セルアレイ1を二つのブロック1A、1Bに分け、これらのセルプロ

ック1 A, 1 Bに共通にビット線制御回路2を設けた点にある。

【0038】図9及び図10は、ビット線制御回路2及びプログラム終了検知回路8を示す。図9において、Eタイプ、nチャンネルMOSトランジスタQn16, Qn17とEタイプ、pチャンネルMOSトランジスタQp7, Qp9とによってFFを構成している。Eタイプ、nチャンネルMOSトランジスタQn14, Qn15は、FFのイコライズ用トランジスタである。Eタイプ、nチャンネルMOSトランジスタQn27, Qn28は、データ検出用トランジスタである。

【0039】Eタイプ、nチャンネルMOSトランジスタQn18とEタイプ、pチャンネルMOSトランジスタQp8は、FF活性化用トランジスタである。Eタイプ、nチャンネルMOSトランジスタQn19とQn20は、FFの2つのノードN1, N2とセルアレイブロック1 A, 1 B内のビット線B Lai ($i=0, 1, \dots$)、B Lbi ($i=0, 1, \dots$)との接続用トランジスタである。Eタイプ、nチャンネルMOSトランジスタQn21～Qn24は、データに応じてビット線を $V_{cc}-V_{TH}$ に充電するためのトランジスタである。Qn25, Qn26は、ビット線プリチャージ兼リセット用トランジスタである。図10において、Eタイプ、pチャンネルMOSトランジスタQp10, Qp11は、プログラム終了検知用トランジスタである。 ϕDVA , ϕDVB はプログラム終了検知信号であり、 ϕVEA , ϕVEB はプログラム終了検出信号である。

【0040】次に、このように構成されたEEPROMへの書込みの確認動作を図11に従って説明する。ここでは、メモリセルアレイ1 Aのビット線B Laiが選択されているものとする。

【0041】先の実施例と同様に選択された制御ゲートに、0 Vに代えて例えば0.5 Vを印加し、ペリファイ信号 ϕAV が出力される。まず、ビット線B Laiが3 Vにプリチャージされ、B Lbiが2 Vにプリチャージされる。その後プリチャージ信号 ϕPA と ϕPB が“L”レベルになって、ビット線B Lai, B Lbiはフローティングと

なる。制御ゲートと選択ゲートはロウデコーダ5に選択されて、SG1, CG1, CG3～CG8は V_{cc} 、CG2は例えば0.5 Vとされる。通常の読出しでは、メモリセルのしきい値が0 V以上であれば“0”として読出されるが、ペリファイ読出しでは0.5 V以上でないと“0”と読めないことになる。

【0042】この後、ビット線B Laiは、もし“1”書き込みをした後であれば、ペリファイ信号 ϕAV により($V_{cc}-V_{th}$)に充電される。ここで、ペリファイ信号によって行われるプリチャージの電圧レベルは、選択ビット線のプリチャージ電圧以上であればよい。イコライズ信号 ϕE が出力されてCMOSフリップフロップがリセットされる。この後、 ϕA , ϕB が“H”となって、ノードN1, N2がそれぞれビット線B Lai, B Lbiと接続される。 ϕP が“L”レベル、 ϕN が“H”レベルとなって、ビット線B Laiのデータが読出される。読出されたデータはラッチされ、次の再書き込みのデータとなる。このとき再書き込みデータは、前回の書き込みデータによって、ペリファイ読出し時のメモリセルのデータから変換される。このデータ変換は、先の実施例の表1と同じである。

【0043】この後、 ϕDVA が“L”となり、先の実施例と同様に、書き込み終了であれば、VDTC Aが“H”となり、プログラム終了検出信号 ϕVEA が“L”となり、書き込み動作は終了する。このとき、検出結果は、データ入出力ピン或いはREADY/BUSYピンから、外部へ出力される。

【0044】この実施例のペリファイ読出し/再書き込みによっても、先の実施例と同様に、“0”書き込みされるメモリセルの不必要なしきい値の上昇は抑えられる。

【0045】この実施例では消去、書き込み、ペリファイ読出し、読出し時の制御ゲートCG1～CG8及び選択ゲートSG1, SG2の電位は、表3に示される通りである。表3では、制御ゲートCG2が選択され、ビット線B Laiが選択された場合の電位関係を示している。

【0046】

表 3

	消 去	書 込 み		読 出 し	書 込 み 確 認
		“0”	“1”		
ビット線B Lai	フローティング	0 V	10 V	3 V	3 V
ビット線B Lbi	〃	0 V	0 V	2 V	2 V
選択ゲートSG1	0 V	10 V	10 V	5 V	5 V
制御ゲートCG1	0 V	10 V	10 V	5 V	5 V
〃 CG2	0 V	20 V	20 V	5 V	0.5 V
〃 CG3	0 V	10 V	10 V	5 V	5 V
〃 CG4	0 V	10 V	10 V	5 V	5 V
〃 CG5	0 V	10 V	10 V	5 V	5 V
〃 CG6	0 V	10 V	10 V	5 V	5 V
〃 CG7	0 V	10 V	10 V	5 V	5 V

#	CG8	0V	10V	10V	5V	5V
選択ゲートSG2		0V	0V	0V	5V	5V
ソース線	フローティング		0V	0V	0V	0V
基板	20V		0V	0V	0V	0V

図12は、本発明におけるビット線制御回路2内のデータラッチ部と、プログラム終了検知回路8とを、選択ビット線との関係で模式的に示したものである。同図

(a)は、先の第1の実施例で示したものである。Eタイプ、nチャンネルMOSトランジスタQnD0～QnDmは図5のトランジスタQn11に相当する。Eタイプ、pチャンネルMOSトランジスタQp12は図6のプログラム終了検知回路8のトランジスタQp6に相当している。

【0047】同図(b)は、データ検出用Eタイプ、nチャンネルMOSトランジスタを直列にしたものである。データ検出用トランジスタQnD0～QnDmのゲートが全て“H”ならばプログラムは終了で、Vxは“L”となる。

【0048】また、同図(c)、(d)では、データ検出用トランジスタとしてEタイプ、pチャンネルMOSトランジスタQpD0～QpDmを用い、プログラム終了検知回路8にEタイプ、nチャンネルMOSトランジスタQn29を用いている。このような構成においても、

(a)と同様に、書き込みを終了するか否かを検出することができる。

【0049】上記した図12(a)のように、検出用トランジスタQnD0～QnDmを並列に接続した場合には、ビット線の数1000ビットになっても、適正な検出が可能である。同図(b)のように、それらのトランジスタを直列に接続した場合には、隣接するトランジスタのソースとドレインを共通化できることから、パターン面積を小さなものとすることができる。

【0050】図13は、図12の回路を、1トランジスタ型(NOR型)のフラッシュEEPROMに適用した

場合を示す実施例である。NOR型のフラッシュEEPROMでは、書き込み終了時にデータが反転する。このため、図13に示すように、FFにおける図12とは逆の端子をデータ検出用のトランジスタに接続すればよい。

【0051】次に、NOR型のフラッシュEEPROMについての実施例について説明する。特開平3-250495号公報の第6図に、NOR型のメモリセル構造を採用しつつ、NAND型のものと同程度の高集積度を達成したメモリが記載されている。このメモリにおいては、書き込み、消去動作とともにF-Nトンネル電流で行うことができる。このメモリに、前述のような、本発明の実施例における一括ベリファイ回路を適用することにより、書き込みベリファイ時間を大幅に短縮可能である。

【0052】このようにした実施例を、図14、15を参照して説明する。この実施例の回路構成は、図14に示される。この装置が、NAND型E²PROMと異なる点は、以下の点にある。即ち、メモリセルブロックMCB中のメモリセルMCに書き込むデータはデータラッチDRにラッチされる。このデータラッチDRの反対側のノードから、検出トランジスタへ信号を出力するようにしている。

【0053】図15に、データを書き込み済のセルと消去済のセルのしきい値V_{th}の分布を示す。

【0054】消去(イレーズ)、書き込み(ライト)及び読み出し(リード)の多動作における、各部位への印加電圧は表4に示される。

【0055】

表 4

	BSL	BL	WL	V _{ss}
イレーズ	0v	フローティング	20v	0v
ライト				
“0”ライト(V _{th} >5)	22v	0v	0v	フローティング
“1”ライト(V _{th} <5)	22v	20v	0v	フローティング
非選択セル	22v	0v/20v	10v	フローティング
リード	5v	0v/5v	5v	0v

次に、消去動作について説明する。データ書き換え対象としてのブロックを、そのブロックのローデコードによって選択する。且つ、選択メモリセルに対応するビット線をフローティング状態とし、ワード線を20vとする。これにより、選択メモリセルのフローティングゲー

トへ電子を注入する。この注入は、F-N電流により行われる。このため、電流量は極めて少ない。よって、数1000ビット分のメモリセルに対して同時にイレーズすることができる。

【0056】イレーズ後のベリファイ動作は、一括ベリ

ファイ動作により行われる。即ち、ワードラインに例えば5vを加える。このとき、イレーズ対象としたメモリセルは、イレーズ動作によって、そのしきい値が十分に正方向へシフトしているか否かによって、オフ/オンする。つまり、オフであれば、イレーズOKであることがわかる。

【0057】より詳しくは、ベリファイ動作は次のようにして行われる。信号PREが“L”レベルとなり、トランジスタ T_{PRE} がオンする。これにより、このトランジスタ T_{PRE} を介して、プリチャージ線PRECLは V_{cc} によってプリチャージされる。このとき、セレクト線BSLを5vとして、セレクトゲートSGをオンする。これにより、ビット線BLもプリチャージされる。ワードラインWLのうちの選択対象とするものを5vとする。このとき、メモリセルのうち十分にイレーズがなされた/なされないメモリセルはオフ/オンする。メモリセルがオフ/オンすれば、ビット線BL即ちプリチャージ線PRECLのプリチャージ電位は保持/放電される。このときのプリチャージ線PRECLの電位をセンスアンプで検知し、データラッチDRにラッチしておく。この後、信号ERVを“H”として、データラッチDRの内容をノードNAに読み出す。ノードNAの電位は、そのノードNAに対応するカラムにおける複数のメモリセルの全てがイレーズOKの場合には“L”となり、メモリセルの1つにでもイレーズNGがあれば“H”となる。ノードNAの電位はベリファイトランジスタ T_{VE} のゲートに加えられる。このトランジスタ T_{VE} はノードNAの“L/H”によってオフ/オンする。オフ/オンによって、一括ベリファイセンス線 L_{VE} の電位は V_{SS} レベルにならない/なる。以上の動作は、各カラム毎に行われる。従って、一括ベリファイセンス線 L_{VE} のレベルは、全カラムの全セルについてベリファイOKの場合には“H”となり、どこかのカラムのどこかのセルが1つでもベリファイNGの場合には“L”となる。

【0058】次に、書き込み動作（プログラム動作）について説明する。プログラム対象としてのブロックのワード線を0vとする。その他のブロックのワード線は10vとし、各メモリセルにおけるドレイン-ゲート間の電界ストレスを緩和しておく。プログラム対象ブロックにおいて、フローティングゲートから電子を引き抜きたいメモリセルにつながるビット線を選択的に20vとし、プログラムする。

【0059】プログラムベリファイは、ベリファイ読み出し時におけるプリチャージ線PRECLの電位の“H/L”レベルと、プログラムデータの“0/1”とによって判断される。ただし、一括ベリファイは、信号PRVを“H”とすることにより行う。そして、プログラムNGの場合には再書き込みを行う。この再書き込みにおいて、“0”ライトOKのセルにつながるプリチャージ線PRECLは、“L”レベルに放電される。そのた

め、再書き込み時に、ビット線が“L”レベルにあることから、フローティングゲートからの電子の放出は起らない。これに対し、“1”ライトOKのセルにおいては、しきい値が十分に下っている。このため、再プログラム時、プリチャージ電位は、“1”ライトOKのセルを介して放電され、“L”レベルになる。よって、再プログラムしても、“1”ライトOKのセルのしきい値は変化しない。これに対し、プログラムNGつまり“1”ライトNGの場合は、プリチャージ電位の放電による低下はない。このため、“H”レベルが再びラッチされ、再びプログラムされることになる。

【0060】以上説明したような実施例には、次のような効果が得られる。セル構造がNAND型セルと同一であるため、微細化可能であり、チップを小形化できる。さらに、セル自体はNOR型であるため、動作電流 I_{cell} が大きく、高速でのランダムアクセスが可能である。さらに、ページライト/ページリードが可能である。

【0061】図12(b), (c)の実施例においては、データ検出用トランジスタのゲートを直接ビット線BLiに接続しても同様な作用が実現できる。このような例を、図16(a), (b)にそれぞれ示す。同様に、図13(a), (d)の実施例においては、データ検出用トランジスタのゲートを直接ビット線BLiに接続しても同様な作用が実現できる。これを、図17(a), (b)にそれぞれ示す。

【0062】また、図12, 13, 16, 17では、シングルビットライン方式を採用しているが、オープン或いはフォールデッドビットライン方式とすることもできる。データ検出用トランジスタと、COMSフリップフロップFFと、選択ビット線の構成を、本実施例と同様とすればよい。

【0063】図12, 13, 16, 17は、データ検出用トランジスタとCMOSフリップフロップFFと選択ビット線の構成を模式的に示すものであり、種々のビットライン方式においても同様に実施することができる。

【0064】続いて、本発明のさらに別の実施例について説明する。以上に説明した各実施例では、ビット線の一端に設けられたCMOSフリップ・フロップ（データラッチ兼センスアンプ回路）の一端を検出用トランジスタのゲート電極に接続している。そしてアドレス信号によらず、全てのデータラッチ内の内容が“1”書き込みデータであるか否かを検知して、書き込み状態が十分であるか否かを検知している。

【0065】このため、不良カラム番地や救済用に設けられた未使用冗長カラム番地のデータラッチ回路のデータも検知してしまう。本来なら書き込み状態は十分であるのに、不十分であるが如くに検知してしまい、書き込みが終了しないという問題が生じる原因となる。つまり、データ書き込み後の書き込み状態確認動作が、不良カラム番地

或いは未使用カラム番地の影響で、誤動作してしまう虞れがある。

【0066】そこで本実施例では、再書き込みデータを検知する検知回路の誤動作を救済する手段を設けている。これによって、不良カラム番地或いは未使用カラム番地の書き込み状態の影響を受けることなく、本来使用しているカラム番地についてのみの書き込み状態の検知を可能にしている。

【0067】基本的な構成は図1～図7に示す第1実施例と同様である。第1実施例に加えて、本実施例では、書き込み終了検知回路の誤動作の救済のために、後述するように、書き込み終了検知用MOSトランジスタにヒューズ及び不揮発性メモリを接続している。

【0068】図18(a)は、書き込み/書き込み確認時のアルゴリズムを示している。プログラム・コマンドが入力されると、冗長カラムを含む全てのカラム番地のデータラッチ回路に“1”プログラム・データが自動的にラッチされる。ここで、全てのカラム番地とは、セルアレイが分割され且つデータラッチ回路も分割されている場合には、選択された分割部分の全てのカラム番地を指す。

【0069】書き込み動作は第1実施例と全く同様であり、書き込み確認動作についても第1実施例と略同様である。但し、前掲の表1において、不良カラム番地及び未使用カラム番地のメモリセルは、データ入力前に“1”にリセットされている。このため、書き込みデータやメモリセルのデータに拘らず、再書き込みデータは常に“1”となる。

【0070】図18(a)に示されるアルゴリズムに従って書き込み/書き込み確認動作を行えば、例えば不良カラム番地に“0”が書き込めないメモリセルがあっても、このメモリセルに影響されて書き込み終了検知動作が誤動作することはない。より具体的にいえば、書き込み状態は十分であるにも拘らず、不良カラム番地や未使用カラム番地のメモリセルの影響を受けて、書き込み不十分であると誤って検知して書き込みが終了しない、という問題を未然に防止することができる。

【0071】図18(b)は別のアルゴリズムを示す。例えば、ある不良カラム番地のビット線が接地電位とショートしているとする。この場合、図18(a)のように、“1”プログラム・データをセットすると、中間電位VMがこのビット線に印加されることになる。これにより、中間電位VMが接地電位とショートする。これにより、昇圧回路で発生されるVMが所定の電圧まで昇圧されない場合がある。

【0072】このため、図18(b)に示されるアルゴリズムでは、外部からのデータ入力後、未使用カラム番地(含む不良番地)にのみ“0”プログラム・データを自動的にセットする。また、ベリファイ読出し後に未使用カラム番地に“1”プログラム・データを自動的にセ

ットする。このようにすれば、ビット線のリークという不良にも影響されず、信頼性の高いNANDセル型EEPROMが実現される。なお図18(a)、(b)のいずれにおいても、破線内の部分は自動的にEEPROM内部で行われることを示している。

【0073】図19(a)に、図6に示されるCMOSフリップ・フロップのデータラッチ兼センスアンプと書き込み終了検知用トランジスタを模式的に示す。また、図17(b)、(c)に、書き込み終了検知回路の誤動作救済のために、書き込み終了検知用MOSトランジスタにヒューズFu1、Fu2を接続した例を示す。図17

(b)は書き込み終了検知用MOSトランジスタのソースと接地線の間に、ポリSi線やAl線からなるヒューズFu1を設けている。EEPROMテスト後にこれらのヒューズFu1のうち、不良カラム番地や未使用カラム番地におけるヒューズFu1はレーザ光などで切断される。これによってヒューズFu1が切断されたカラム番地に関しては、書き込み終了検知動作は行われなくなる。

【0074】図19(c)は、ヒューズFu2として、不揮発性メモリセルを用いたものである。この不揮発性メモリセルをヒューズとして用いるために、まず紫外線を当て、ヒューズデータを消去(初期化)する。つまり、例えば、メモリセルFu2の V_{th} を負とし、又は $0 < V_{th} < V_{cc}$ とする。ヒューズデータをプログラムするために、VF1を例えば V_{cc} 以上のVM程度に印加し、VF2を0Vにし、さらにVDTCを V_{cc} とする。書き込み終了検知用MOSトランジスタのソースと接地電位との間を切断しようとするカラム番地につながるラッチに“0”プログラム・データをラッチさせる。切断しようとしめないカラム番地につながるラッチには“1”プログラム・データをラッチさせる。“0”データをラッチしているカラム番地におけるメモリセル(ヒューズFu2)には電流が流れ、ホットエレクトロン注入によってその V_{th} が上昇していく。“1”データをラッチしているカラム番地におけるセル(ヒューズFu2)には電流が流れないのでその V_{th} は上昇しない。この場合、VF2を V_{cc} とし、VDTCを0Vとしてもよい。

【0075】通常動作時には、各部の電位を次のようにする。即ち、ヒューズデータの消去時のメモリセルの V_{th} が負となった場合には、メモリセルの V_{th} を正とし、VF1を接地電位として、メモリセル(ヒューズFu2)を切断状態とする。メモリセルの V_{th} が、データ消去時に、 $0 < V_{th} < V_{cc}$ の範囲にある場合には、そのメモリセルの V_{th} を $V_{th} > V_{cc}$ とし、VF1= V_{cc} とし、VF2を接地して、メモリセルの切断状態を得る。

【0076】ヒューズ用メモリFu2のデータ消去に当り、VF1を接地電位とし、VF2を V_{cc} 以上のVM程度とし、トンネル電流によって、ヒューズの V_{th} を、 $V_{th} < 0V$ 或いは $0V < V_{th} < V_{cc}$ としてもよい。

【0077】図20(a)は、図19(c)に示される

回路中のある1つのカラムに着目したものである。図20(b)は、図20(a)の書き込み終了検知用MOSトランジスタとヒューズ用不揮発性メモリの平面図である。図20(c)は、同図(b)のX-X'断面図である。書き込み終了検知用MOSトランジスタとヒューズ用不揮発性メモリは、NAND型メモリセルの形成時にそれらと同時に形成される。書き込み終了検知用MOSトランジスタのゲート電極は、NANDセルの選択ゲートと同様に、2層の構造を有し、素子分離用絶縁膜12上で、これらの2層のゲートは互いに接続される。

【0078】書き込み終了検知用MOSトランジスタ及びヒューズ用不揮発性メモリセル等の第1の素子は、NANDセルにおける選択トランジスタ及びメモリセル等の第2の素子と同様に形成される。例えば、第1の素子のn型拡散層の濃度は、ホットエレクトロンの注入により、プログラムしやすいように多少濃くしてもよい。例えば、第1の素子のn型拡散層の濃度を、第2の素子より濃いn型拡散層を持つ周辺トランジスタのn型拡散層の濃度とする。そして、第2の素子を、周辺トランジスタのn型拡散層と同時に形成してもよい。

【0079】図21は、書き込み終了検知用MOSトランジスタとヒューズ用不揮発性メモリセルの他の例を示している。同図(a)は素子構造断面図、(b)、(c)は(a)の等価回路図である。ヒューズ用不揮発性メモリセルへのプログラムは、図20のものと同等にして行われる。VF2を接地してプログラムする場合は、図21(b)に示すようになる。VDTCを接地してプログラムする場合は、図21(c)のようになる。また、この構造は、図20に示されるトランジスタと同様に形成される。

【0080】また、図20、図21に示される不揮発性メモリセルにプログラムする場合には、電源電位 V_{cc} を通常動作時よりも高くして行くと効率が良い。また、さらに、CMOSフリップ・フロップの電源VMBを、例えば、 V_{cc} 以上のVMにしてプログラムすると効率が良い。

【0081】図22は、図19(b)、(c)に示されるヒューズを有する回路において、NANDセル型EEPROMに対するプログラムアルゴリズムを示している。

【0082】プログラム・コマンド投入(S1)後、自動的に未使用カラム(不良カラムを含むものとする)番地を含む全カラム番地に“0”プログラムデータがセットされる(S2)。その後、ページモードでプログラムデータが入力され(S3)、自動的に書き込み/書き込み確認/書き込み終了検出が行われる(S4~S7)。未使用カラムに“0”プログラムデータをセットするのは、プログラム時に未使用ビット線に中間電位VMが印加されないようにするためである。且つ、VMが昇圧回路の出力であり、未使用ビット線が例えば接地電位とショート

しているとすると、VMが所定の電位に昇圧されないからである。

【0083】図23は図19(b)の他の例を示している。同じカラムアドレス選択信号CSLiを共有するビット線に書き込み終了検知用MOSトランジスタが接続されている。これらのトランジスタに対するヒューズは共有してもよい。この方がレイアウト面積が小さくなる。当然このヒューズは不揮発性メモリで代用してもよい。

【0084】次に、上述した救済手段を図8~11に示される第2実施例に適用した実施例について説明する。基本的な動作は第2実施例と同様である。この実施例でも、図18に示すアルゴリズムでプログラムすれば、未使用カラム番地の影響による書き込み終了検知回路の誤動作を可及的に少なくすることができる。

【0085】また、図24に示すように、ヒューズを用いて図22のアルゴリズムに従ってプログラムしてもよい。図24(a)の場合、1つのデータラッチ兼センスアンプには、2つの書き込み検知用MOSトランジスタが接続されている。これらの2つのトランジスタには、それぞれ、1つずつヒューズが接続されている。プログラム時のヒューズ切断は、2つのヒューズについて同時に行われる。よって、図24(b)のように、1つのヒューズを用いるようにしてもよい。また、図24(a)、(b)において、ヒューズとして不揮発性メモリを用いることもできる。

【0086】図19(b)、(c)の回路を、図25(a)、(b)のようにそれぞれ変更しても、同様の機能を持たせることができる。また、図26(a)、(b)のように、検知用MOSトランジスタとして、pチャネルEタイプMOSトランジスタを用いてもよい。図27は、ビット線に直接検知用MOSトランジスタを接続した場合の例を示す。この例においてもヒューズに不揮発性メモリを用いることができる。

【0087】図28は第3実施例を説明するためのタイムチャートである。全カラム番地におけるデータラッチ兼センスアンプ回路に、それぞれ“0”、“1”プログラムデータを一括してラッチさせる動作を説明するためのものである。

【0088】図6(a)において、 ϕF は“L”を維持し、 I/O が“H”となり、 $/I/O$ が“L”となり、 ϕSP は“L”、 ϕSN は“H”となる。続いて、 ϕRP は“L”、 ϕRN は“H”となって“1”ラッチが終了する。

【0089】“0”ラッチの場合は、同図(b)のように、 I/O は“L”、 $/I/O$ は“H”となる。 FF が非活性となった後、先ず ϕRP は“L”、 ϕRN は“H”となる。続いて、 ϕSP は“L”、 ϕSN は“H”となる。

【0090】図29は第4実施例を説明するためのタイムチャートである。このチャートは、全カラム番地にお

けるデータラッチ兼センスアンプに、“0”又は“1”プログラムデータをラッチさせるときの動作を示している。 ϕA 、 ϕB は“L”のまま、 I/O 、 I/O はデータ“0”又は“1”に合わせて電位が決まる。 ϕP ＝“H”， ϕN ＝“L”となってFFが非活性化される。この後、 ϕE が“H”となって、イコライズされる。イコライズ終了後、全カラム選択信号CSLが“H”となり、 ϕP ＝“L”， ϕN ＝“H”となり、ラッチされる。

【0091】なお、図28及び図29でいうところの全カラムとは、例えばセルアレイが分割されており、それに応じてデータラッチ兼センスアンプも分割されている場合には、選択された部分についての全カラムをいう。また、図8では、オープンビットライン方式をとっているが、フォールデッドビットライン方式についても同様に適用できる。

【0092】図30は、第3実施例の変形例であり、1つのCMOSフリップ・フロップFFを隣り合う2本のビット線で共有する場合を示している。ビット線BLのうちの、フリップ・フロップFFと反対側端にpチャネルEタイプの書き込み検知用MOSトランジスタT1、T2のゲートを接続している。同じカラム選択信号CSLiで選択されるビット線にゲートが接続される書き込み検知用トランジスタT1、T1；T2、T2のヒューズF1、F2は図30に示すように共有できる。また、ヒューズF1、F2を電源電位 V_{DD} と書き込み検知用トランジスタT1、T2のソースとの間に入れることもできる（図31(a)）。この場合には、2つのヒューズを1つのヒューズFで共有化することができる（図31(b)）。

【0093】このように第3及び第4実施例によれば、先に説明した第1及び第2実施例と同様の効果のほか、次のような効果も得られる。すなわち、書き込みベリファイ読出しの結果を検知する際に、未使用カラム番地或いは不良カラム番地の影響を受けることなく、書き込み状態確認を行うことができる。これにより誤動作の極めて少ない書き込み終了検知回路を備えたEEPROMを得ることができる。

【0094】次に、本発明の第5実施例について説明する。図32は、第5実施例のNANDセル型EEPROMのブロック図である。メモリセルアレイ1に対して、データ書き込み、読出し、再書き込み及びベリファイ読出しを行うためのビット線制御回路2が設けられている。このビット線制御回路2は、データ入出力バッファ6につながっている。カラムデコーダ3の出力は、ビット線制御回路2を介して、メモリセルアレイ1に加えられる。カラムデコーダ3は、アドレスバッファ4からのアドレス信号と、カラム・リダグダンシー回路10の出力である冗長アドレス信号とを受ける。アドレスバッファ4からのアドレス信号は、カラムリダグダンシー回路10に

加えられる。また、メモリセルアレイ1における制御ゲート及び選択ゲートを制御するために、ロウ・デコーダ5が設けられている。メモリセルアレイ1が形成されるp基板又はn基板の電位を制御するため、基板電位制御回路7が設けられている。

【0095】プログラム終了検出回路8は、ビット線制御回路2にラッチされているデータを検知し、書き込み終了信号を出力する。書き込み終了信号は、データ入出力バッファ6を介して外部へ出力される。また、アドレス信号とは無関係にビット線を所定の電圧に充電するため、ビット線充電回路9が設けられている。メモリセルアレイ2の等価回路は図2に示される。

【0096】図33は、メモリセルアレイ1と、ビット線制御回路2と、ビット線充電回路9の具体的な構成を示す。図2に示すNANDセルNCがマトリクス状に配置されている。NCijr ($i=0\sim k$, $j=0\sim n$)は冗長部である。データラッチ兼センスアンプR/W0 \sim R/Wm, R/W0r \sim R/Wkrは、それぞれnチャネル、EタイプMOSトランジスタのデータ転送用トランジスタQFn0 \sim QFnm, QFn0r \sim QFnkrを介して、ビット線BL0 \sim BLm, BL0r \sim BLkrに接続されている。データラッチ兼センスアンプR/Wの入力であるカラム選択信号CSL0 \sim CSLm, CSL0r \sim CSLkrは、カラム・デコーダ4の出力CSL0 \sim CSLmとリダグダンシー回路10の出力(CSL0r \sim CSLkr)である。ビット線BL0 \sim BLmのうち、(k+1)本までは冗長部のビット線BL0r \sim BLkrで置き換えることができる。

【0097】nチャネルEタイプMOSトランジスタQRn0 \sim QRnm, QRn0r \sim QRnkrはリセット用トランジスタであり、ビット線を接地電位にリセットするためのものである。nチャネルEタイプMOSトランジスタQPn0 \sim QPnm, QPn0r \sim QPnkrは充電用トランジスタで、必要に応じてビット線充電電圧VBLをビット線に転送する。

【0098】ヒューズF0 \sim Fm, F0r \sim Fkrは、充電用トランジスタとVBLとの間を切断するためのもので、不良ビット線を含む未使用ビット線に接続されているものは全て切断される。例えば、ビット線BL2を冗長ビット線BL0rに置き換えた場合には、ヒューズF2を切断する。残りの冗長ビット線BL1r \sim BLkrを使わない時には、ヒューズF1r \sim Fkrは全て切断される。

【0099】図34は書き込み時の動作を示す。書き込み動作に先立って、全てのデータラッチ兼センスアンプR/Wは、“0”プログラムデータにリセットされる。その後、データ線I/O、I/OからプログラムデータがR/Wに転送され、ラッチされる。全R/Wにデータがラッチされる間、ビット線と制御ゲートと選択ゲートのプリチャージが行われる。ビット線リセット信号 ϕR が

“L”となった後、ビット線プリチャージ信号 ϕP と充電電圧 V_{BL} とが電源電圧 V_{cc} となる。使っていないビット線以外のビット線、つまり使用されるビット線は V_{cc} に充電される。NANDセルの制御ゲート $CG1 \sim CG8$ と選択ゲート $SG1$ とが V_{cc} に充電される。選択ゲート $SG2$ は書き込み動作中、接地電位とされる。この後、ビット線プリチャージ信号 ϕP と充電電圧 V_{BL} とが中間電位 VM （10v程度）に昇圧され、ビット線 BL と制御ゲート $CG1 \sim CG8$ と選択ゲート $SG1$ も VM に昇圧される。

【0100】データラッチが終了した後、プリチャージ信号 ϕP は“L”となり、データ転送信号 ϕF が V_{cc} となりその後 VM まで昇圧される。ラッチされたプログラムデータによって、“0”データがラッチされているビット線のみが接地電位にされる。また、選択された制御ゲート（ここでは $CG2$ ）が高電圧 V_{pp} （20v程度）まで昇圧される。不良ビット線を含む使用していないビット線は、データラッチ動作前に、対応する R/W が“0”プログラムデータにリセットされていることから、接地電位のままである。 R/W に“0”プログラムデータがラッチされているビット線に接続されるメモリセルでは、しきい値が上がる。 R/W に“1”がラッチされているビット線に接続されるメモリセルでは、しきい値は変化せず、消去時のしきい値を保持する。

【0101】制御ゲート $CG1 \sim CG8$ と、選択ゲート $SG1$ が接地電位にリセットされた後、データ転送信号 ϕF が接地され、リセット信号 ϕR が“H”となってビット線は接地電位にリセットされる。

【0102】この書き込み動作中、データロードに先立って行われる、全 R/W を“0”プログラムデータにリセットする動作と、ビット線充電回路のヒューズ切断動作とによって、使用していないビット線に中間電位 VM が印加されることはない。

【0103】図35は読出し動作を示している。リセット信号 ϕR が“L”となってプリチャージ信号 ϕP が“H”となる。これによって、使用していないビット線以外の全ビット線は V_{BL} （典型的には V_{cc} ）に充電される。選択された制御ゲート（ここでは $CG2$ ）を接地

し、残りの制御ゲート $CG1, CG3 \sim CG8$ を“H”（典型的には V_{cc} ）とする。“0”データが書き込まれたメモリセルのしきい値が高いため（ $V_{th} > 0v$ ）、ビット線電位は“H”のままである。“1”データが書き込まれたメモリセルのしきい値が低い（ $V_{th} < 0v$ ）ことから、ビット線電位は“L”となる。メモリセルのデータが、ビット線電圧として、ビット線に出力された後、データ転送信号 ϕF が“H”となって、データラッチ兼センスアンプ R/W でビット線電圧はセンスされる。なお、メモリセルの各部の電位は表2と同様になる。

【0104】このように本実施例によれば、ビット線充電回路のヒューズ切断によって、不良ビットを救済することができ、先に説明した第3及び第4の実施例と同様の効果が得られる。

【0105】図36は第6の実施例を示す図で、図33と同様、メモリセルアレイ1とビット線制御回路2とビット線充電回路9の具体的な構成を示している。

【0106】隣り合う2本のビット線 BLa_i と BLb_i, BLa_{j_r} と BLb_{j_r} （ $i=0 \dots m, j=0 \dots k$ ）に対してそれぞれデータラッチ兼センスアンプ $R/W_i, R/W_{j_r}$ （ $i=0 \dots m, j=0 \dots k$ ）が1つつ配置される。ビット線 BLa_i に対してデータ転送信号 ϕFa 、リセット信号 ϕRa 、プリチャージ信号 ϕPa が用意される。ビット線 BLb_i に対して $\phi Fb, \phi Rb, \phi Pb$ が用意される。また、ビット線充電電圧電源 V_{BL} は BLa_i, BLb_i に対して共通に用意される。

【0107】図37、図38はそれぞれ書き込み、読出し動作を示している。 BLa_i が選択された場合、 BLa_i に関しては図33の実施例と同様に動作する。非選択ビット線 BLb_i は、書き込み動作中、中間電位 VM に充電されたままで BLb_i に接続されるメモリセルへの誤書き込みを防止する。また、 BLb_i は読出し動作中は接地された状態を保ち、ビット線間のカップリングノイズを抑制する働きをする。メモリセルの各部の電位を表5に示す。

【0108】

表 5

	消 去	書 込 み		読出し
		“0”	“1”	
ビット線 BLa_i	フローティング	0v	10v	5v
ビット線 BLb_i		10v	10v	0v
選択ゲート $SG1$	0v	10v	10v	5v
制御ゲート $CG1$	0v	10v	10v	5v
制御ゲート $CG2$	0v	20v	20v	0v
制御ゲート $CG3$	0v	10v	10v	5v
制御ゲート $CG4$	0v	10v	10v	5v

制御ゲートCG5	0v	10v	10v	5v
制御ゲートCG6	0v	10v	10v	5v
制御ゲートCG7	0v	10v	10v	5v
制御ゲートCG8	0v	10v	10v	5v
選択ゲートSG2	0v	0v	0v	5
ソース線	フローティング	0v	0v	0
基 板	20v	0v	0v	0

図39は、図33の実施例の変形例である。ここでは、4種類のデータI/O線I/O0~I/O3を用いており、且つ4つのデータラッチ兼センスアンプR/Wに共通のカラム選択信号CSLiが入力される。CSLiが共有に入力される4つのビット線のうちの1本にでもリーク不良があると、4本まとめて救済しなければならない。このため、この実施例ではヒューズは4本分を1本にまとめてある。図36に示される実施例でもこれと同様に、図40に示すようにCSLiを共有に入力する複数本のビット線のヒューズを1本にまとめることができる。

【0109】図41は図36に示される実施例の変形例である。図41の例が図40に示される実施例と違う点は、ヒューズをBLai用のヒューズFaとBLbi用のヒューズFbに別けた点にある。この場合、2つのヒューズFa、Fbを設けることから回路面積が大きくなるのが避けられない。しかし、BLaiとBLbiに関して別々に救済できることから、救済効率は高くなる。この救済方法について図42、図43を参照して詳しく説明する。

【0110】図42は図36の実施例を模式的に示すものである。カラム選択信号CSLiのみで救済を行うと、図42(a)に示すように、BLaiとBLbiとを同時に置き換えることになる。図40の場合も同様に、BLai0~BLai3とBLbi0~BLbi3とを同時に置き換えることになる。これに対し、図36の実施例では、図42(b)に示すように、BLaiのみ或いはBLbiのみを、冗長部BLajr又はBLbjrに動作上問題なく置き換えることができる。このためには、カラム選択信号CSLiとデータ転送信号φFa(又はφFb)との論理積で救済を行うことになる。

【0111】図43は図41を模式的に示すもので、図42(b)と同様、BLai0~BLai3のみをBLajr0~BLajr3に、又はBLbi0~BLbi3のみをBLbjr0~BLbjr3に置き換えることができる。この場合、ヒューズは図41のように接続しておけばよい。図42、図43から明らかなように、BLaとBLbの配置関係さえ守って救済すればよい。

【0112】図44は、1つのデータラッチ兼センスアンプR/Wを、4本のビット線で共有している実施例を示す。BLa1iとBLb1iは隣合う関係にある。R/Wを挟んで対称に、BLa2iとBLb2iとが配置される。このような場合にあっても、BLaとBLbの

配置関係を守って、CSLiとφFa1、φFa2、φFb1、φFb2との論理をとって、図45、図46のように様々な救済方法が実施できる。

【0113】具体的には、図45(a)では、同一のR/Wに接続された4本のビット線BLa1i、BLa2i、BLb1i、BLb2iを同時に置き換える。図45(b)では、2本のビット線BLa1i、BLa2i又はBLb1i、BLb2iを単位として置き換える。図46(a)では、2本のビット線BLa1i、BLb1i又はBLa2i、BLb2iを単位として置き換える。また、図46(b)では、1本のビット線毎に冗長部のビット線と置き換えることになる。

【0114】図39、図40及び図41の実施例において、それぞれ図47、図48、図49のように、プリチャージ用MOSトランジスタやリセット用のMOSトランジスタを、カラム選択信号CSLiを強要するビット線について共用化させてもよい。ビット線をプリチャージ又はリセットするとき、つまりφR又はφPが“H”となると、φPRを“H”とする。この例では信号φPRが別に必要となるが、リセット用又はプリチャージ用のMOSトランジスタの数を減少させることができる。

【0115】また、第5の実施例以降ではビット線充電回路と終電圧電源線との間に不良ビット救済のためのヒューズを設けたが、これらの実施例と第3、第5の実施例とを併用して用いることも可能である。

【0116】以上、第1~第6の実施例を用いて、書き込みベリファイの時間を短縮するための種々の回路構成を説明してきた。続いて、消去ベリファイに本発明を用いた実施例を説明する。

【0117】図50は本発明の第7実施例に係るNAND型EEPROMを用いた不揮発性半導体メモリ装置を示すブロック図である。メモリセルアレイ1に、データ書き込み、読み出し、書き込み及び消去ベリファイを行うためのセンスアンプ兼ラッチ回路2が接続されている。メモリセルアレイ1は、複数個のページからなるブロックに分割されている。このブロックが最小消去単位となるものである。センスアンプ兼ラッチ回路2は、データ入出力バッファ6につながっている。アドレスバッファ4からのアドレス信号がカラムデコーダ3に入力される。カラムデコーダ3からの出力がセンスアンプ兼ラッチ回路2に入力される。メモリセルアレイ1に、制御ゲート及び選択ゲートを制御するためにロウデコーダ5

が接続されている。メモリセルアレイ1が形成されるp型領域(p型基板またはp型ウェル)の電位を制御するための基板電位制御回路7が、メモリセルアレイ1に接続されている。

【0118】ペリファイ終了検知回路8は、センスアンプ兼ラッチ回路2にラッチされているデータを検知し、ペリファイ終了信号を出力する。ペリファイ終了信号は、データ入出力バッファ6を通じて、外部に出力される。

【0119】図51にセンスアンプ兼ラッチ回路2と、メモリセルアレイ1及びペリファイ終了検出回路8との、接続関係を示す。図51の回路では、センスアンプ兼ラッチ回路FFの第1の出力により制御される検知手段(検知用トランジスタ Q_{n12})が設けられている。検知用トランジスタ Q_{n12} としてはEタイプnチャネルMOSトランジスタが用いられている。このトランジスタ Q_{n12} は、各ビット線 BL_i に接続された各センスアンプ兼ラッチ回路FFにそれぞれ設けられている。各検知用トランジスタ Q_{n12} は、図51に示すように、そのドレインをセンスラインVDTCEに共通に接続することにより、並列に設けられる。

【0120】次に、図52のフローチャートを用いて先ず消去動作を説明する。消去のコマンドが入力されると、消去ペリファイサイクルにはいる。もし消去状態にあることが検出されると、その時点で消去終了となる(ステップ101のYES)。ステップ101でメモリセルが消去されていないことが検知されると、消去動作にはいり(ステップ102)、その後ペリファイ動作を行う(ステップ103)。ペリファイNGであれば、所定の回数消去及びペリファイを繰り返す(ステップ104)。

【0121】次に、消去の確認動作について説明する。

① 消去動作では、メモリセルが形成されるp型領域(p型基板又はpウェル)に高電圧(例えば20v)を与え、制御ゲートにVSSを与える。これによって、メモリセルのしきい値は負の方向にシフトする。

② 次にメモリセルのデータを読み出す。 ΦF の“H”の状態では、まず Φ_{sp} を“H”、 Φ_{sn} を“L”、 Φ_{rp} を“H”、 Φ_{rn} を“L”として、 C^2 MOSインバータを非活性とする。この後、 ΦP を“L”としてビット線をVCCにプリチャージする。次に、選択された制御ゲートをVSSに、非選択の制御ゲートをVCCに、選択された選択ゲートをVCCに、一定時間保持する。このとき、選択されたメモリセルが消去されて負のしきい値を持っていれば、セル電流が流れ、ビット線はVSSになるまで放電される。

③ 次に、 Φ_{sp} を“L”、 Φ_{sn} を“H”とし、ビット線電位を検知する。そして、 Φ_{rp} を“L”、 Φ_{rn} を“H”とすることによってデータをラッチする。

④ その後検知用トランジスタを用いて、ペリファイが

完了したか確認する。センスラインVDTCEは、前述のように、複数のセンスアンプ兼ラッチ回路の検知用トランジスタのドレインに、共通に接続されている。もし全てのメモリセルが負のしきい値を持つならば、センスラインVDTCEは“H”になる。この場合は次のページの確認をする。1つでも正のしきい値のセルが残っていれば、VDTCEは“L”状態になる。その場合は、VDTCEが“H”であると検出されるまで、消去を繰り返す。検出結果は、データ入出力ピンまたはREADY/BUSYピンから、外部に出力される。

【0122】本実施例では、データは1ページずつ確認された。しかしながら、1NANDブロック内の全ページに対して、1度に確認動作を行ってもよい。この場合には、選択されたブロック内の全制御ゲートにVSSを与え、この状態で読み出し動作を行う。このとき1つのメモリセルでも正のしきい値のものが残っていれば、そのビット線は放電されないことから、上記実施例と同じ方法で、検知可能である。

【0123】また、制御ゲートに与える電圧は、必ずしも、VSSレベルである必要はない。マージンを含める意味で、負の電圧を与えてもよい。また、制御ゲートにはVSSを与えて、ソースまたはソースとp型基板またはpウェルとに正の電圧を印加して、疑似的に、制御ゲートに負の電圧が印加された状態を作り出してもよい。また、検知用トランジスタのソースとVSSとの間にヒューズを設けてもよい。不良ビット線に対応する、あるいはリダグダンシー用ビット線のうちの使用されないものに対応する、センスアンプ兼ラッチ回路のヒューズを切断しておけば、動作上問題ない。以上のようにして、消去の状態を検知することができる。

【0124】また、これらの動作を系統的に制御することもできる。この場合システムは、NAND型EEPROMのブロックごとに、そのブロックが消去状態にあるか否かを記憶した管理テーブルを有する。ホストシステム、又は、不揮発性半導体メモリ装置の制御を行うコントローラは、消去を行う際、NAND型EEPROMの消去対象のブロックが、消去状態にあるかどうかを検知するため、まず管理テーブルを参照する。参照結果が、未消去であれば消去を行う。消去済を示す場合にはさらなる消去動作を行わないようにしてもよい。

【0125】また、消去の確認は書き込み動作前にも有効である。書き込み動作の前に、これから書き込もうとする領域が消去されているかどうか確認してもよい。この場合には、ブロック単位に行ってもよいし、ページ単位で行ってもよい。

【0126】図51において、書き込みペリファイ動作は、従来のものとほぼ同様であるので、詳しい説明は省略する。

【0127】図53に、本発明の第8実施例を示す。基本構成は図50と同じである。この第8実施例では、セ

ルアレイが2個のブロック1A, 1Bに分けられ、これらのセルアレイブロック1A, 1Bに共通のセンスアンプ兼ラッチ回路2が設けられている。図54はそのセンスアンプ兼ラッチ回路の構成を示している。EタイプnチャンネルMOSトランジスタQn16, Qn17と、EタイプpチャンネルMOSトランジスタQp7, Qp9とで、フリップフロップFFを構成している。EタイプnチャンネルMOSトランジスタQn14, Qn15は、FFのイコライズ用トランジスタである。Qn27, Qn28は検知用トランジスタである。

【0128】EタイプnチャンネルMOSトランジスタQn18と、EタイプpチャンネルMOSトランジスタQp8とは、FF活性化用トランジスタである。EタイプnチャンネルMOSトランジスタQn19とQn20は、FFの2個のノードN1, N2とセルアレイブロック1A, 1B内のビット線との接続用トランジスタである。Qn25, Qn26はビット線のプリチャージ、リセット用のトランジスタである。Qn21~Qn24はビット線とVCC配線との接続用トランジスタである。

【0129】このような構成の消去後のペリファイ動作について説明する。ここでは、メモリセルアレイ1Aのビット線BLaiが選択されている場合について説明する。

【0130】まず、ビット線BLaiが3vに、BLbiが2v（リファレンス電位）にプリチャージされる。その後、プリチャージ信号ΦPAとΦPBとが“L”となって、ビット線BLaiとBLbiがフローティング状態になる。次に、選択された制御ゲートをVSSに、非選択の制御ゲートをVCCに、選択された選択ゲートをVCCにして、一定時間保持する。イコライズ信号によってCMOSフリップフロップがリセットされた後、ΦA, ΦBが“H”となって、ノードN1, N2がそれぞれビット線BLai, BLbiに接続される。ΦPが“L”、ΦNが“H”となってビット線BLaiが読み出される。読み出したデータはラッチされる。その後、検知用トランジスタQn27によって、一括検知される。

【0131】次に、メモリセルアレイ1Bのビット線BLbiが選択されているとする。まず、ビット線BLbiが3vに、BLaiが2v（リファレンス電位）にプリチャージされる。その後、プリチャージ信号ΦPAとΦPBが“L”となって、ビット線BLaiとBLbiはフローティング状態になる。次に、選択された制御ゲートをVSSに、非選択の制御ゲートをVCCに、選択された選択ゲートをVCCにして、一定時間保持する。イコライズ信号によってCMOSフリップフロップがリセットされる。この後、ΦA, ΦBが“H”となって、ノードN1, N2がそれぞれビット線BLai, BLbiに接続される。ΦPが“L”、ΦNが“H”となって、ビット線BLbiが読み出される。読み出したデー

タはラッチされる。その後、検知トランジスタQn28によって一括検知される。

【0132】メモリセルアレイ1Aの書き込みペリファイ時には、Qn28を、検知トランジスタとして用いる。メモリセルアレイ1Bの書き込みペリファイ時には、Qn27を検知トランジスタとして用いる。この様に、メモリアドレスと消去・書き込みのモードに応じて、そのペリファイ動作時に、いずれの検知トランジスタを用いるかを制御する。これによって、ペリファイ動作を、1個の検知トランジスタによって、行うことができる。

【0133】図55は、本発明の第9実施例を示す。図51の第7実施例では、センスアンプ兼ラッチ回路の両方のノードに、各々検知用トランジスタを接続していた。これに対し、第9実施例では、その回路の片方のノードにp型検知用トランジスタとn型検知用トランジスタを接続している。書き込みペリファイ時には、従来どおり、n型検知用トランジスタを用いる。消去ペリファイ時には、p型検知用トランジスタを用いる。消去後、読みだし動作を行う。もし消去不十分のメモリセルがあれば、センスアンプ兼ラッチ回路のビット線側ノードに“H”がラッチされ、ビット線と反対側のノードには“L”がラッチされる。これにより、p型検知用トランジスタはON状態になり、VDTCEは“H”レベルとなる。この電位を検知し、再び消去動作を行う。

【0134】図56には、本発明の第10実施例を示す。図54の第8実施例では、センスアンプ兼ラッチ回路の両方のノードに各々検知用トランジスタを接続していた。これに対し、実施例では、その回路の片方のノードにp型検知用トランジスタとn型検知用トランジスタを接続している。メモリセルアレイ1Aの書き込みペリファイには、Qn28のn型検知用トランジスタを用いる。メモリセルアレイ1Aの消去ペリファイには、Qp29のp型検知用トランジスタを使用する。メモリセルアレイ2Aの書き込みペリファイには、Qp29のp型検知用トランジスタを用いる。メモリセルアレイ2Aの消去ペリファイには、Qn28のn型検知用トランジスタを用いる。

【0135】以上、消去ペリファイに本発明を用いた実施例を説明した。この構成も上述の書き込みペリファイと同様に、NOR型のセルに対しても適用可能であることは言うまでもない。

【0136】このように、本発明を消去ペリファイに用いることにより、以下のような効果が得られる。すなわち、消去ペリファイ動作を、データを外部に読み出すことなく高速に行うことが出来る。さらに、セルアレイが2個のブロックからなる場合には、一つの検知手段を、一方のメモリセルアレイブロックの消去ペリファイと、他方のメモリセルアレイブロックの書き込みペリファイとに用いることが出来る。これにより、一括ペリファイ

回路の面積を縮小化することができる。さらに、消去動作に先立ち、選択されたブロックが消去状態にあるか否かを検出する手段を設けた。このため、書き換え処理の際に不要な消去動作を行わなくても済む。これにより、高速化とともに信頼性を高めることができる。

【0137】続いて、一つの一括ペリファイ手段で、消去ペリファイと書き込みペリファイとを兼用される第1実施例を説明する。

【0138】この実施例の特徴は、以下の点にある。即ち、プログラムペリファイ及びイレースペリファイを、256バイト分について同時に一括でリードして、OKかNGかを判定するために、一括ペリファイ制御回路BBCを設けた。さらに、データレジスタ回路DRを、一括ペリファイを可能なものに構成すると共に、プログラムペリファイ後にプログラムペリファイNGとなって再プログラムを行うとき、プログラム完了ビットには再び書き込まないような構成とした。さらに、データレジスタ回路DRを上記の如くに制御するための再プログラム制御回路RPCを設けている。

【0139】以下に、図57のEEPROMについて一般的に説明する。図57のEEPROMは、8ビット分の出力を有するバイト構成かつ1ページ256バイトの構成のものを示している。メモセルは、メモセルアレイMCAの中に m 行 \times 256バイトのマトリクス状に配置されている。つまり、ローデコーダRDからは m 本のワードラインがでている。さらに、各バイトにおいては、8行のメモセルを縦につないだ8NANDセルBCの8個を行方向に並べて1つのNANDセル行ユニットRUを構成し、この行ユニットRUの $(m/8)$ 個をカラム方向に並べている。各ユニットRUにおいて、各8NANDセルBCのドレインは対応するビット線BLに接続され、ソースは全て共通に V_{SS} に接続されている。

【0140】また、各ユニットにおいて、縦に並ぶ8個のメモセルの制御ゲート及び2つのセレクトゲートは、8本のワードラインWL及びSGD、SGSを介してローデコーダRDに接続される。

【0141】各ビットラインBL' 00はリード時及び書き込み時にデータをラッチするためのデータレジスタ回路DRへ接続されている。このデータレジスタ回路DRからは、ビット線BL' 00の電位が高いか低いかに対応して増幅した出力IOとその反転信号NIOの2種類の信号が出力される。このIO、NIOの信号は、カラムデコーダCDI、CDIの出力信号によってオン、オフさせられるカラムゲートトランジスタCGTを介して、共通IOバスラインI/OBUSへ入力される。また、各共通IOバスラインI/OBUSから、信号IO、NIOはセンスアンプ回路S/Aへ入力されている。センスアンプ回路の出力信号 d^* は、出力バッファ回路I/OBUFへ入力される。

【0142】また、各ビット線BLには、書き込みの時にビット線BLを高電位にするための書き込みプリチャージ回路WPC、リード時にビット線BLをプリチャージするためのリードプリチャージ回路RPCが接続されている。書き込みプリチャージ回路WPCは、ドレインに信号BLCRLが、ゲートに信号BLCDが、他の一端(ソース)にビットラインが接続された、 n チャンネルタイプのトランジスタ T_{W1} で構成されている。また、リードプリチャージ回路RPCは、一端に電源 V_{DD} が、ゲートに信号PREが他端にビットラインが接続されたトランジスタ T_{R1} と、一端にビット線が、ゲートに信号RSTが、他端に V_{SS} が接続されトランジスタ T_{R2} で構成されている。

【0143】データレジスタ回路DRは、2つのインバータIV1、IV2で構成されるラッチ回路と、信号BLCDがゲートに入力されると共にメモセルのビット線に接続されているトランジスタTTとを有する。さらに、2つのインバータIV1、IV2の各々の出力端子に接続される2つのトランジスタ T_{PV} 、 T_{EV} を有する。トランジスタ T_{PV} の一端には信号IOが加えられ、ゲートには信号PROVERIが入力されている。トランジスタ T_{EV} の一端はNIOに接続され、ゲートには信号ERAVERIが入力されている。これらのトランジスタ T_{PV} 、 T_{EV} の各他端は互いに共通にトランジスタ T_{14} のゲートに接続されている。このトランジスタ T_{14} の一端は V_{SS} に接続され、他端は一括ペリファイ制御回路BBCへ入力されている。また、トランジスタ T_{11} 、 T_{12} を有する。トランジスタ T_{11} は n タイプで、その一端は電源BLCRLに接続され、ゲートには信号NIOが入力され、他端はトランジスタ T_{12} の一端に接続されている。トランジスタ T_{12} のゲートには、再プログラム制御回路RPCの出力信号PVが入力される。トランジスタ T_{12} 他端はビットラインBL' 00に接続される。

【0144】一括ペリファイ制御回路BBCは、信号PROVERI及び信号ERAVERIが入力される2入力NOR回路NOR1を有する。そのNOR回路NOR1の出力信号はトランジスタ T_{P1} 、 T_{N1} のそれぞれのゲートに入力される。トランジスタ T_{P1} の一端は電源 V_{CC} へ、他端はトランジスタ T_{N1} の一端へ接続される。トランジスタ T_{N1} の他端は V_{SS} に接続されている。トランジスタ T_{P1} 、 T_{N1} の midpoint は、各データレジスタ回路DR内のトランジスタ T_{14} にそれぞれ接続され且つインバータIV3の入力側に接続されている。このインバータIV3の出力信号PEOKは、ペリファイ時にOKか否かの判定信号として、IOバッファ回路(図示せず)を介して外部へ出力される。

【0145】再プログラム制御回路RPCは、インバータ IV_{RP} とフリップフロップ回路 FF_{RP} とを有する。インバータ IV_{RP} には信号PROVERIが入力される。インバータ IV_{RP} の出力信号と反転信号がフリップ

フリップフロップ回路FF_{RP}内の2つのNOR回路のそれぞれに
入力される。フリップフロップ回路FF_{RP}の出力信号P
Vは、データレジスタ回路DR内のnチャンネルトランジ
スタT₁₂のゲートに制御信号として入力される。

【0146】次に、このように構成されるEEPROM
の動作を説明する。消去時には、イレース用の昇圧回路
SU6により昇圧した高電圧（20V程度）をメモリセル
が形成されている基板（p-well）へ印加する。
これと共に、ローデコーダRDにより制御してワードラ
インWL1~WLm及びセレクトゲートSGD、SGS
を“0”Vにして、浮遊ゲートから基板へ電子を抜くこ
とにより消去する。

【0147】次に、リード動作について説明する。ロー
デコーダRDにより、選択対象のセルを有する行ユニッ
トRUのセレクトゲートSGD、SGSを“H”レベル
にして選択する。さらに、対象とするセルを、そのワー
ドラインWLを“0”Vにすることにより、選択する。
この状態とした後、信号PREとして所定のパルス信号
を加え、トランジスタTR₁をオンして、ビット線BL
を“H”レベルにプリチャージする。この時、読み出す
べきメモリセルに“0”データが書かれているときに
は、そのメモリセルはオフして電流を流さない。このた
め、ビット線BLのレベルは“H”レベルを維持し、そ
のレベルHはデータレジスタ回路DRにラッチされる。
一方、選択セルに“1”データが書かれているときに
は、メモリセルはオンする。このために、ビット線BL
のレベルは“1”レベルになり、そのレベルがデータレ
ジスタ回路DRにラッチされる。このとき、選択された
（Lレベルとされた）ワードラインに接続される256
バイト分のすべてのデータが、各々のビットラインに接
続されたデータレジスタ回路DRによりラッチされる。
そして、カラムアドレスバッファCABへ加えるカラム
アドレスA₀を“00”から“FF”までシリアルに変
化させることにより、バイト1~256中のカラムゲ
ートトランジスタCGTが順次にオンして、共通バスライ
ンIOバスを介してデータが順次リードされる。

【0148】この時、NANDセルの構造上、メモリセ
ルのオン電流は数μA程度と非常に少なく、その充放電
には数μsec程度の時間がかかる。しかしながら、一旦
データを読み出し、データレジスタ回路DRに取り込ん
でしまえば、共通バス線I/OBUSを介してデータを
出力するだけであるので、百nsec程度の高速アクセスが
可能となる。

【0149】次に書き込み動作を説明する。書き込み動
作を説明するためのタイミングチャートを図58に示し
た。

【0150】プログラムコマンドPCが入力されるとプ
ログラムモードになる。このとき、データレジスタ回路
DRのトランスマッショントランジスタTTを制御する
信号BLCDが“L”レベルとなり、トランジスタTT

がオフする。また、これとともに、昇圧回路SUが動作
し初め、次第に書き込みプリチャージ回路WPCに入力
される信号BLCRL、BLCUが昇圧していき、10
V程度まで上昇する。このとき、メモリセルアレイ群の
中のビット線BL' OOも、BLCRLの上昇とともに
に、電位上昇する。このとき、選択されたWLは20V
程度の高電位に、NANDセル群のソース側のセレクト
ゲートトランジスタのゲートは0Vに、他のゲートは1
0V程度の中間レベルにそれぞれ設定される。

【0151】この状態で、カラムアドレスA₀を順次変
化させ、書き込みデータをデータレジスタ回路DRへ入
力していく。このとき、データレジスタ回路DRへ入力
された書き込みデータはそこにラッチされる。256バ
イト分の書き込みデータがそれぞれデータレジスタ回路
DRへラッチされると、信号BLCUが“L”レベルと
なって書き込みプリチャージ回路WPCはオフする。こ
れとともに、信号BLCDが10V程度に迄上昇してト
ランジスタTTがオンし、ビットラインBL' OOとデ
ータレジスタ回路DRが接続される。このとき、デー
タレジスタ回路DRに供給される電源VBITも10V程
度に迄上昇する。この回路DRに“1”レベルがラッチ
されていれば、ビット線BLの高レベルがそのまま維持
される。また、この回路DRに“0”レベルがラッチさ
れていれば、プリチャージしたビット線BLのレベルは
放電されて“L”レベルになり、浮遊ゲートへの電子の
注入が起る。このようにして、256バイト分の書き込
みが同時に行われる。

【0152】以下に、プログラム→プログラムベリファ
イ→再プログラムの各動作を、図59に示すタイミン
グチャートを参照しながら説明する。

【0153】第1回目のプログラム動作は、図58と同
様である。即ち、プログラムコマンドPCが入力されて
プログラムモードになると、制御信号BLCDが“L”
レベルとなり、データレジスタ回路DR中のトランスミ
ッショントランジスタTTがオフして、データレジスタ
回路DRがビット線と切り離される。また、これととも
に、昇圧回路SU1~SU6が動作し始め、書き込みプ
リチャージ回路WPCに入力される信号BLCRL、B
LCUが次第に昇圧して10V程度に達する。このと
き、メモリセルアレイMCA中のビット線の電位も信号
BLCRLの上昇とともに高電位まで上昇する。このと
き、選択されたWLは20V程度の高電位に、NAND
セル群内のソース側のセレクトゲートトランジスタT₂
のゲート（セレクトラインSL2）は“0”Vに、他の
トランジスタT₁のゲート（セレクトラインSL1）は
10V程度の中間レベルに設定される。

【0154】この状態においてカラムアドレスA₀を順
次変化させ、あるバイトnについて8ビットの書き込み
データを8つのデータレジスタ回路DRへ入力し、ラッ
チする。これを256回繰り返して、256バイト分の

書き込みデータを全てのレジスタ回路DRにラッチする。この後、信号BLCUが“L”レベルとなり、書き込みプリチャージ回路WPCがオフする。これとともに、信号BLCDが10V程度にまで上昇することによりトランジスタTTがオンしてビットラインとデータレジスタ回路DRが接続される。このとき、データレジスタ回路DRに供給される電源VBITも10V程度にまで上昇する。データレジスタ回路DRに“1”レベルのデータがラッチされていれば、ビット線のレベルは高レベルのままに維持される。また、データレジスタ回路DRに“0”レベルがラッチされていれば、プリチャージ済のビット線の高レベルは放電により低下して“L”レベルになり、選択したメモリセルにおいて浮遊ゲートへ電子の注入、つまり“0”データの書き込みが起る。このような書き込みは、256バイト分について同時に行われる。ここまでの書き込み動作は図58の場合と同じである。

【0155】次に、上記の書き込みが終了すると、ベリファイコマンドVCが入力されて、プログラムモードが解除される。信号BLCDは“0”Vとなり、BLCLRは“5”Vに、信号VBITは5Vになるとともに、リセット信号RSTによりビット線が放電される。このとき、本実施例ではデータレジスタ回路DR内のラッチデータはリセットしないようにしている。即ち、書き込みデータはデータレジスタ回路DR内にラッチされたままの状態となる。この状態で、リードプリチャージ回路RPCにHレベルの制御信号PREが加えられ、ビット線がプリチャージされる。今、“0”データをライトした場合を考える。データレジスタ回路DR内のラッチ回路により、信号IOは“1”レベルとなり、その反転信号NIOは“0”レベルとなっている。このとき、プログラムベリファイモードになると、データレジスタ回路DR内のトランジスタT₁₂はオン状態となるが、トランジスタT₁₁は、そのゲート信号のレベルが“0”レベルのためオフしており、このパスからのビット線への充電は行われない。

【0156】このような“0”ライト動作後に、書き込みNGとなった場合と、OKとなった場合の2通りが存在する。即ち、OKとなった場合は、メモリセルのしきい値電圧は正方向へシフトしており、このためプリチャージされた電位はそのまま保持される。そして、トランスミッショントランジスタTTを制御する信号BLCDが“1”レベルとなることによりデータレジスタ回路DRとビット線が接続され、今迄“0”レベルであったNIOの電位が、高電位に充電されたビット線により、“1”レベルに充電される。従って、信号PROVERIが入力されるトランスミッショントランジスタTTを介して“0”レベルがトランジスタT₁₄のゲートに入力され、トランジスタT₁₄はオフ状態となる。

【0157】これに対して、書き込みNGとなった場合

を考える。即ち、“0”ライトしたにもかかわらず、メモリセルのしきい値電圧は負方向に存在し、このためプリチャージされつつ、電位は“0”レベルへ放電されてしまう。そして、トランスミッショントランジスタTTを制御する信号BLCDが“1”レベルとなることによりトランジスタTTがオンして、データレジスタ回路DRとビット線とが接続される。しかしながらこのときは、NIOの電位は“0”レベルのままとなり、トランジスタT₁₄のゲートには“1”レベルの信号が入力され、トランジスタT₁₄はオン状態となる。

【0158】次に“1”データをライトした場合を考える。“1”ライト時は、データレジスタ回路DR内のラッチ回路により、信号IOは“0”レベル、信号NIOは“1”レベルとなっている。

【0159】この状態でベリファイ動作を行うと、データレジスタ回路DR内のトランジスタT₁₁はオン状態となる。このため、トランジスタT₁₁、T₁₂を介してビット線はベリファイ動作中充電され続ける。リードプリチャージ用のトランジスタTR₂は、リード時にメモリセルがオンした時のオン電流により“0”レベルに放電されるように小さいコンダクタンスg_mに設定される。しかし、トランジスタT₁₁、T₁₂のコンダクタンスg_mは、“1”ライト後のベリファイ動作によって、常にビット線を“1”レベルに充電するように、大きな値に設定されている。即ち、トランジスタT₁₄のゲートには“0”レベルの信号が入力されることになる。

【0160】また、“1”ライトしているにもかかわらず、メモリセルのしきい値が誤書き込みにより高くなってしまうというケースも考えられる。このような場合には、ベリファイ動作を行っても、やはりトランジスタT₁₄のゲートには“0”レベルの信号が入力される。このため、上記の場合と区別がつかないという問題がある。しかしながら、このような誤書き込みの有無は、製品出荷時のテストにより選別される。このため、このような誤書き込みについては、実使用上は、ほとんど考えなくていいことになる。

【0161】このようにして、各ビット線ごとに接続されるデータレジスタ回路DR内のトランジスタT₁₄のゲートには、ベリファイ動作を行って読み出したデータに対応して“0”レベルもしくは“1”レベルが入力される。即ち、プログラムNGのビットが1つでも存在すると、トランジスタT₁₄のゲートへの入力信号は“1”レベルとなる。このため、トランジスタT₁₄はオン状態となり、信号PEOKは“1”レベルとなり、ベリファイNGを示す。

【0162】この時には新たにプログラムコマンドPCIを入力して、再プログラムを行う。この再プログラムの時は、第1回目のプログラム時と異なり、データレジスタ回路DR内のラッチデータのうち、プログラムOKのビットのデータは“1”ライトデータに変わってい

る。従って、NGのビットについてのみ、“0”ライトが行われる。即ち、プログラムを行った結果プログラムOKとなったビットに対しては、それ以上の追加書き込みは行わず、よってそれ以上のしきい値電圧の上昇も起らないことになる。このようにして、再プログラムを何回か行い、すべてのビットがプログラムOKとなると、トランジスタのゲート信号はすべて“0”レベルとなる。このとき初めて信号PEOKは“0”レベルとなり、プログラムは終了する。

【0163】上記の本発明の方法を用いると、ペリファイ時に、カラムアドレスを順次変化させることなしに、一括してペリファイ動作を行える。このため、ペリファイ時間を短くでき、ひいては、プログラム時間の短縮につながる。また、ペリファイNGのとき再プログラムを行うに当り、プログラム完了ビットに対しては再びプログラムしないようにしている。このため、しきい値電圧の分布を小さくでき、リードマージンの向上が図れる。図60は本発明を用いた時の書き込み動作時の V_{th} 分布を示したものである。消去した状態から書き込みを行うに当り、書き込みの速いメモリセルFMCはペリファイOKとなっても、遅いセルSMCはNGとなる。この状態で再プログラムを行うとき、ペリファイOKのメモリセルにはそれ以上追加書き込みは行わない。このため、しきい値の上昇は起らない。即ち、書き込みの遅いセルSMCがペリファイOKとなった時点でのしきい値電圧の分布幅は V_{th} DBせまくできる。これにより、リードマージンRMも十分に確保できることになる。

【0164】上記説明は、プログラム動作をベースに説明したが、消去動作のときも、消去OKか否かの読み出し動作も、プログラムペリファイの時と同じように、一括で行うことができる。即ち、消去ペリファイ時は、信号NIOをトランジスタ T_{14} に入力するようにしている。このため、消去OKのときに信号PEOKが“0”レベルとなり、一括ペリファイが可能となる。

【0165】図61にイレーズモードでのフローチャートを示す。この図61からわかるように、イレーズモードにおいて、イレーズ動作自身は従来と同一であるが、ペリファイ動作が一括でできる。このため、ペリファイ時間の短縮が可能となる。

【0166】なお、図57中、I/O BUFは出力回路であり、その詳細は、例えば、図62に示される。

【0167】従来例を示す図63は、複数のメモリセルが、メモリセルアレイとして、 m 行 \times 256バイトのマトリクス状に配置されているアレイの一部を示している。

【0168】ビット線は、通常、数1000オングストロームの厚さのAl膜で形成され、そのピッチは数 μm ピッチで配列される。このため、隣接するビット線とビット線との間にも層間容量が存在する。同図に、ビット線BL1とビット線BL2の層間容量を C_{12} 、ビット線BL2とビット線BL3の層間容量を C_{23} として示す。また、ビット線はメモリセル上に配線されるため、対基板容量も、存在することになる。これを C_1 、 C_2 、 C_3 として表わしている。また、メモリセルは、選択トランジスタを介して、ビット線に接続されている。そのため、選択トランジスタのジャンクション部分にも容量が存在する。これを C_{1j} 、 C_{2j} 、 C_{3j} として表わす。

【0169】例えば、8192 \times 256バイトのメモリセルで構成される、16M NAND E² PROMを例にとると、

ビット線と基板との間の容量 $C_1 = C_2 = C_3 = 0.39 pF$ 、

ビット線とビット線との間の層間容量 $C_{12} = C_{23} = 0.14 pF$ 、

ジャンクション部の容量 $C_{1j} = C_{2j} = C_{3j} = 0.11 pF$

となる。

【0170】メモリセルのデータを読み出す時は、ビット線を電源電圧 V_{cc} レベル迄プリチャージを行ない、プリチャージした電位が放電するか否かでなされることを前に説明した。即ち、“1”セルの場合、メモリセルがオンしてプリチャージした電位の放電を行なう。また、“0”セルの場合は、メモリセルはオフしたままのため、プリチャージした電位はそのまま保持される。今、隣接する3本のビット線を考える。ビット線BL1とBL3は“1”セル、ビット線BL2のみ“0”セルに接続されているとする。読み出す時は、ビット線BL2の放電はなされず、ビット線BL1とBL3が放電されることになる。この時、前記したような容量が存在するため、ビット線BL2は電位変動の影響を受ける。即ち、その影響により変位する電圧を ΔV とすると、

$$\Delta V = \frac{2C_{11}}{C_2 + 2C_{11} + C_{11}} V_{CC}$$

$$= \frac{2 \cdot 0.14}{0.39 + 2 \cdot 0.14 + 0.11} \cdot 5$$

$$= 1.79$$

となる。

【0171】このように、約1.8Vの電位ドロップをおこすことになる。このことは、読み出し動作に限らず、プログラム時のベリファイ動作時でも同じことがあてはまる。プログラムベリファイ時の方が充分に書き込みがなされていないメモリセルが存在し得るため、動作マージンはさらに厳しくなる。

【0172】以下に、その説明を行なう。図64にプログラムベリファイ時のタイミングチャートを示す。

【0173】プログラムコマンドPC（図示せず）が入力されるとプログラムモードになる。このとき、データレジスタ回路DRのトランスミッショントランジスタTを制御する信号BLCDが“L”となり、トランジスタTTがオフする。また、これと共に、昇圧回路SUが動作し始め、次第に書き込みプリチャージ回路WPC（図55参照）に入力される信号BLCRL、BLCUが昇圧してゆき、10V程度まで上昇する。このとき、メモリセルアレイ群の中のビット線BLも、BLCRLの上昇と共に、電位が上昇する。このとき、選択されたWLは20V程度の高電位に、NANDセル群のソース側のセレクトゲートトランジスタのゲートは0Vに、他のゲートは10V程度の中間レベルにそれぞれ設定される。

【0174】この状態で、カラムアドレスACを順次変化させ、書き込みデータをデータレジスタ回路DRへ入力していく。このとき、データレジスタ回路DRへ入力された書き込みデータはそこにラッチされる。256バイト分の書き込みデータがそれぞれデータレジスタ回路DRにラッチされると、信号BLCUが“L”となって書き込みプリチャージ回路WPCはオフする。これと共に、信号BLCDが10V程度にまで上昇してトランジスタTTがオンし、ビットラインBLとデータレジスタ回路DRが接続される。このとき、データレジスタ回路DRに供給される電源VBITも10V程度にまで上昇する。この回路DRに“1”がラッチされていれば、ビット線BLの“H”がそのまま維持される。また、このデータレジスタ回路DRに“0”がラッチされていれば、プリチャージされたビット線のレベルは“L”になり、浮遊ゲートへの電子の注入が起る。このようにして、256バイト分の書き込みが同時に行われる。

【0175】書き込みが終了すると、ベリファイコマンドVC（図示せず）が入力されて、プログラムモードが解

除される。信号BLCDは5Vになり、BLCRLは0Vになり、信号VBITが5Vになり、これとともに、リセット信号RSTによりビット線BLが放電される。このとき、同時にデータレジスタDR内で書き込みデータもリセットされる。

【0176】この状態で、リードプリチャージ回路RPC内のトランジスタTR1が制御信号PREによりオンして、ビット線がプリチャージされる。そしてメモリセルのデータを前記したように読み出し、書き込みデータのベリファイを行う。

【0177】即ち、ビット線の放電が十分になされた時期を見計らって、信号Pv、BLCDを“H”レベルにすることにより、ビット線の“L”及び“H”レベルをデータラッチ回路DRへ転送し、再プログラムデータをラッチしなおす。もし、ベリファイNGのとき、すなわち“0”書き込んだにも拘らず“1”が読み出されたときは、ビット線は“L”レベルになっている。このため、そのまま“L”レベルがラッチされることになる。再書き込みの時は、再び“0”ライトする。これに対して、ベリファイOKのときは、ビット線は“H”レベルになっている。このとき、信号Pv、BLCDが“H”レベルとなると、ビット線の“H”レベルがデータラッチ回路DRへ転送され、ラッチデータを“0”データから“1”データへ反転させる。即ち、再プログラムする時は、“1”ライトするためしきい値電圧の上昇はおこらない。また、“1”ライトしているビット線は、ベリファイ時“L”レベルへ放電される。信号Pvが“H”レベルになった時、トランジスタT₁₁はデータレジスタDRの中に“1”がラッチされているためそのゲートが“H”レベルとなる。これにより、トランジスタT₁₁、T₁₂を介してビット線が再び“H”レベルとなる。そして、信号BLCDが“H”となると、ビット線の“H”レベルが再びデータラッチ回路DRにラッチされる。このようにして、“0”ライトしているビット線のうちNGのビットについてのみ再プログラムを行なう。

【0178】しかしながら、このようなプログラムベリファイ動作を行うとき、以下のような問題点がある。次にその問題点について説明する。

【0179】図65は、隣接する3本のビット線に対する書き込みデータWDとベリファイデータVDの組み合わせを示した図である。

【0180】①は、ビットラインBL1、BL3に“1”ライト、ビットラインBL2に“0”ライトを行ない、“0”ライトしたビットが、ベリファイNGの場合を示している。即ち、ベリファイ動作において、プリチャージした電位は、3本のビット線とも“L”レベルに放電される。十分にビット線が放電されたところに、信号Pvが“H”レベルとなり、再プログラムデータの設定を行なう。即ち、ビット線BL1とBL3は“1”ライトしているため、前記説明の様に、トランジスタT₁₁、T₁₂からの充電により“H”レベルとなる。このとき、トランジスタT₁₁、T₁₂から、メモリセルを介して、電源VccからVssへ向う電流の直流パスが存在する。従って、メモリセルのgmに対して、トランジスタT₁₁、T₁₂のgmを充分に大きく設定し、その“H”レベルが充分に保証されるよう設定している。

【0181】また、ビット線BL2は“0”ライトNGのため、やはり“L”レベルに放電され、信号CONが“H”レベルとなっても、ビット線BL2は“L”レベルのままである。この時に、問題となるのは、“1”ライトしているビット線において、再プログラムデータ設定時、ビット線の電位を“L”レベルから“H”レベルへ再充電するところにある。即ち、前述の説明のように、やはり、隣接ビット線間のカップリングの影響により、ビット線BL2のレベルも持ち上がることになる

(Tu p)。例えば、トランジスタT₁₁によるしきい値のドロップを考慮すると、電源電圧Vccが5Vのとき、0Vから4V迄、持ち上がる。このとき、ビット線BL2のレベルは、

$\Delta V = 0.358 \times 4 = 1.4V$
だけ変化することになる。

【0182】また、“0”ライトしているメモリセルのしきい値分布のばらつきに起因して、所定のベリファイ後の電位レベルの分布もばらつくことになる。この様子を図66に示す。ベリファイ後のレベルは、“0”V迄完全に放電される場合と、1V程度迄しか放電されない場合がある。このとき、前述のカップリングの影響を受けると、2.4V迄電位が変動し、センスレベルをこえることになる。即ち、“0”ライトNGとなるべきメモリセルが、“0”ライトOKと誤って検知されることになり、メモリセルの動作マージンを減らすことになる。図65に示す②～⑧の組み合わせの例は、カップリングにより誤動作する様な組み合わせはない。

【0183】上記問題点を解決するための方法を以下に説明する。プログラムコマンドが入力された後に、メモリセルにデータが書き込まれる動作は、図64で説明した動作と同一のため説明を省略する。異なるのは、プログラムベリファイ時の動作である。プログラムベリファイモードとなると、信号PREによってビット線がプリチャージされる。ビット線のプリチャージが終了すると、ベリファイリード動作を行なう。このとき、同時に

信号Pvも“H”レベルとする。これにより、“1”ライトしているビット線については、トランジスタT₁₁、T₁₂がオンするため、充電されることになる。従って、“L”レベルに放電されることなく、“H”レベルを保持することになる。そして、所定の時間の後、信号BLCDを“H”レベルとすることにより、ビット線の電位レベルをデータラッチ回路DRへ転送し、検知、ラッチする。即ち、“1”ライトしているビット線は常に“H”レベルであり、“0”ライトしてベリファイOKのビット線も“H”レベルとなる。また、ベリファイNGのビット線は放電されることとなる。このようにすると、前述のように、“1”ライトのビット線が放電されることがない。このため、再書き込みデータを設定するときに、“L”レベルから“H”レベルという、前述のような電位変化はおこらないことになる。

【0184】従って、カップリングの影響を受けることなくデータを検知できる。このため、データの検知を誤ることもなくなる。このことは図68に示されている。図68の①の組み合わせにおいて、図65で説明した①の場合と比較して、改善されていることが分かる。このことを、図69に、図66と対比させて図示する。前述のように、再書き込み設定時に、ビット線のカップリングの影響による持ち上がりなくなるため、正しくデータを読み出すことができる。

【0185】図70は、再書き込み設定トランジスタT₁₁、T₁₂の他の例を示す。(a)は前述迄の説明に用いた例で、(b)は他の例である。トランジスタT₁₁として、0V付近にしきい値電圧を持つトランジスタを用いることにより、ベリファイ時のビット線の“H”レベルを、Vccに近く設定できる。また、トランジスタT₁₂のゲートに、昇圧した電位を入力することにより、さらに効果は上がる。即ち、電源電圧Vccに対し、電位ドロップ(しきい値ドロップ)する分が少なくなり、これにより読み出し動作により大きなマージンがでる。

【0186】図71～図77は、上記方法の実施に使用される一般的な回路図であるため説明は省略する。

【0187】このような方法で、ベリファイ動作を行なうことにより、ビット線のカップリングの影響を無視できる。

【0188】上記説明では特に触れなかったが、プログラムベリファイ時には、“0”セルに対してマージンを得るために、0.5V程度メモリセルのゲートを持ち上げている。

【0189】前述のように、“1”ライトしているセルに対しては、ベリファイ動作のとき、常にトランジスタT₁₁、T₁₂がオンして、電流を、メモリセルを介して、流していることになる。

【0190】メモリセルのソースは、メモリセルアレイの外で共通に接続され、消去時には20V程度の高電圧が印加され、プログラム時、リード時には、GNDレベ

ルに設定するためのVwell回路に接続される。即ち、ソースラインの配線抵抗が存在することになる。ペリファイ時、1セル当たり、 $10\mu\text{A}$ 程度の電流を流したとする。約1ページについて“1”ライトしている時は、256バイト分のメモリセルについて電流が常時流れることになる。即ち、 $256 \times 8 \times 10\mu = 20\text{mA}$ となる。

【0191】今、ソースラインに 20Ω 程度の抵抗が存在したとすると、ソースラインの電圧は、 0.4V 浮くことになる。これに対して、1ページのほとんどについて“0”ライトしている時は、常時流れる電流はほとんど存在しない。従って、ソースの電位はほとんど上昇せず、GNDレベルとなる。即ち、書き込みパターンに起因して、プログラムペリファイ時のソースの電位が変わるという問題がある。

【0192】また、リード時は、常時流れる電流の経路は存在しないため、ソースのレベルはほとんどGNDレベルとなる。従って、書き込みパターンによりメモリセルの分布が異なり、メモリセルの動作マージンが異なることになる。また、1ページ分のセルのほとんどについて“1”パターンを書く場合、プログラムペリファイ時とリード時のソースの電位が異なるため、ペリファイはOKとなっても、実際にリードするとNGということになる。

【0193】図78にチップの構成を示す。プログラムペリファイ時、メモリセルのゲートを 0.5V 程度浮かす回路のグラウンドは、周辺回路のVssラインに接続されている。また、メモリセルのソースラインは、Vwell回路へ接続される。従って、書き込みパターンによりメモリセルのソースラインが浮いたとしても、ペリファイレベル設定回路のソースは浮かないために、ソースラインの電位に差がでることになる。このため、ペリファイレベルの設定を、ソースの浮きを見込み、 1.0V に設定したとする。書き込んだメモリセルのしきい値分布を 2.5V とすると、1ページのほとんどのセルについて“0”ライトしている場合、書き込んだメモリセルの上限は $(1\text{V} + 2.5\text{V}) = 3.5\text{V}$ となる。これに対して、ほとんど“1”ライトしている場合は、ソースの電位も 0.5V 程度持ち上がるため、メモリセルのゲートは 0.5V と等価になり、 $0.5\text{V} + 2.5\text{V}$ で、上限のしきい値は 3.0V となる。この違いは、AC特性の違い、信頼性の違いとなる。

【0194】この点を解決するため図79に示すように、ペリファイレベル設定回路のソースを、トランジスタ T_A を介して、メモリセルのソースと共通に接続する。トランジスタ T_A のゲートには、プログラムペリファイ時“H”レベルとなる信号“PROVERI”が加えられる。このようにすると、プログラムペリファイ時に、ペリファイレベル設定回路のソースはメモリセルのソースと共通になり、そのため、メモリセルのソース電

位の変化をそのまま反映することができる。

【0195】従って、ソースが 0.5V 浮けば、出力電位も設定値に対して 0.5V 高くなり、このため常にメモリセルのソースとゲート間には、一定の電圧が印加されることになる。即ち、いかなるパターンを書いても、同一の分布を得られることになり、より高い信頼性を得ることができる。

【0196】図80はペリファイレベル設定回路を示し、図81はVwell回路を示す。次に、別の回路構成で第11の実施例(図55)と同様の効果を得られる、第11の実施例の変形例を説明する。この変形例を示す図82においては、第11実施例(図55)と同等の回路には同一の符号を付している。図82には、1列分のメモリセルアレイとそれに対する周辺回路を示している。

【0197】この変形例においては、第11実施例と異なり、データラッチ回路DRを2つのデータラッチ回路DR1、DR2を有するものとしている。第1のデータラッチ回路DR1は、IOとNIOとの間に直接逆並列に接続された2つのインバータを有する。第2のデータラッチ回路DR2は、トランジスタ T_{31} 、 T_{32} を介して、IOとNIOとの間に接続された2つのインバータを有する。トランジスタ T_{31} 、 T_{32} は信号SDICによって制御される。さらに、第1、第2のデータラッチ回路DR1、DR2の出力信号がイクスクルーシブノア回路XNORに加えられている。すなわち、2つの入力信号の論理レベルが一致している場合のみ“H”レベルとなる。このイクスクルーシブノア回路XNORの出力は、信号VREADによって制御されるトランジスタ T_{21} を介してIOに加えられる。この回路XNORの出力の反転信号は、信号VREADによって制御されるトランジスタ T_{22} を介して、NIOに加えられる。図82では、図55におけるトランジスタ T_{11} 、トランジスタ T_{12} は必要ないので除去している。

【0198】図82の装置の読み出し動作及び消去動作は、第11実施例と同様なので、説明を省略する。

【0199】以下、書き込み動作を説明する。プログラム動作は、前述したものと同様である。プログラムコマンドPCが入力されてプログラムモードになる。外部からは、コラムアドレスとページを示すページアドレスが入力される。このとき、信号BLCDが“L”となり、トランジスタTTがオフする。また、これと共に、昇圧回路SUが動作し始め、次第に書き込みプリチャージ回路WPCに入力される信号BLCRL、BLCUが昇圧してゆき、 10V 程度まで上昇する。このとき、メモリセルアレイ群の中のビット線BLの電位も、BLCRLの上昇と共に上昇する。このとき、選択されたWLは 20V 程度の高電位に、NANDセル群のソース側のセレクトゲートトランジスタのゲートは 0V に、他のゲートは 10V 程度の中間レベルにそれぞれ設定される。

【0200】この状態で、コラムアドレスACを順次変

化させ、書き込みデータをデータレジスタ回路DRへ入力していく。このとき、データレジスタ回路DRへ入力された書き込みデータは第1のデータラッチ回路DR1にラッチされる。256バイト分の書き込みデータがそれぞれ第1データ回路DR1にラッチされた後、信号BLCUが“L”となって、書き込みプリチャージ回路WPCはオフする。さらに、信号SDICが“H”になるとトランジスタ T_{31} 、 T_{32} がオンし、第2のデータラッチ回路DR2に書き込みデータがラッチされる。続いて、信号SDICが“L”になりトランジスタ T_{31} 、 T_{32} がオフになる。信号SDICを書き込みデータ入力と同時に“H”レベルとして、第1、第2のデータラッチ回路に同時にラッチ動作をおこなってもよい。このとき、VREADは“L”であるためトランジスタ T_{21} 、 T_{22} はオフしている。これと共に、信号BLCDが10V程度まで上昇してトランジスタTTがオンし、ビットラインBLとデータレジスタ回路DRが接続される。

【0201】このとき、データレジスタ回路DRに供給される電源VBITも10V程度にまで上昇する。第1のデータラッチ回路DR1に“1”がラッチされていれば、ビット線BLの“H”がそのまま維持される。また、この第1のデータラッチ回路DR1に“0”がラッチされていれば、プリチャージされたビット線のレベルは“L”になり、浮遊ゲートへ電子の注入が起る。このようにして、256バイト分の書き込みが同時に行われる。

【0202】続いて、前述のように、プログラム動作が終了した後ベリファイコマンドCFが入力される。これにより、信号BLCDは0Vとなり、BLCRLは5Vに、信号VBITは5Vとなるとともに、リセット信号RSTによりビット線が放電される。このとき、書き込みデータはデータレジスタ回路DR内の第2のラッチ回路DR2にラッチされたままの状態となる。この状態で、リードプリチャージ回路RPCに“H”の制御信号RPCが加えられ、ビット線がプリチャージされる。

【0203】続いて、信号BLCDが5Vになり、これにともない、リードデータが第1のラッチ回路にラッチされる。この時、第2のラッチ回路DR2にラッチされたデータとコンパレートを行う。続いて、信号BLCDは0Vとなり、データラッチ回路がメモリセルと切離される。続いて、信号VREADが5Vとなり、トランジスタ T_{21} 、 T_{22} がオンし、第1のラッチ回路DR1にコンパレート結果がラッチされる。このレベルは、図83に破線で囲んだ、書き込みデータが“1”、ベリファイデータが“0”という条件でもエラー判定がされる。つまり、書き込みデータが“1”、ベリファイデータが“0”という、第11の実施例では無視していた条件でも、ベリファイNG信号が出力される。

【0204】ベリファイリード動作は、第11実施例と同様である。すなわち、プログラム動作から所定時間経

過後、ベリファイリードコマンドCFを入力すると、ベリファイ出力モードに入る。すると、/REを“H”→“L”→“H”→“L”と順次に変化させることによって、カラムアドレスACが次々にインクリメントし、順次にラッチデータの内容を256バイト分（256回）出力する。図82の回路構成では、図83において説明した、コンパレートした結果が出力される。すなわち、ベリファイNGのビットに対しては“1”データが、それ以外のビットに対しては“0”データがパラレルに出力される。

【0205】以上には、コマンド入力により、プログラム、ベリファイ、再プログラムを行う方式で説明したが、プログラムコマンドを入力することにより、内部オート動作によりベリファイ動作、再プログラム動作を行い、PASS、FAIL判定を行うようにすることもでき、このようにすれば、さらに使いやすくなる。

【0206】図84、図85の基本概念ブロック図を示す。プログラムオートコマンドはコマンドレジスタ回路CRにより解説される。この回路CRの出力に基づいて、論理回路LOG1がパルス信号AUTOpulesを出力する。信号AUTOpulesは、フリップフロップFF1に入力され、プログラムモード信号PROが“H”レベルの状態にラッチされる。

【0207】次にPROの信号が“H”レベルになることによりプログラムが開始される。所定のプログラム時間後、論理回路2からのプログラム終了信号PROEにより、フリップフロップFF1及びコマンドレジスタ回路CRをリセットする。プログラム終了信号PROEは、フリップフロップFF1に入力するとともにフリップフロップFF11にも入力され、ベリファイモードとなる。所定のベリファイ時間は、バイナリカウンタBC11によりカウントされる。

【0208】このとき、前記説明のようなベリファイ動作を行い、ベリファイOKか否かを判定する。もし、NGの場合は、プログラム回数をカウントするカウンタPNCのカウント値を1つ進めるとともに再プログラムを行う。OKの場合はpassとする。

【0209】このようにすることにより、オートプログラムコマンドを入力するだけでPASS、FAILの判定が可能となり、使いやすくなる。

【0210】上記説明はプログラム動作をベースに説明したが、消去動作についてもまったく同様に考えることが可能である。

【0211】次に、ベリファイリードとオートプログラムの組み合わせについて説明する。再プログラムを所定の回数行っても、ベリファイがNGのままであると、そのページ（256バイト）はエラーとして扱われる。ここで、何ビットのセルがベリファイNGとなっているかを外部から識別することができる。ここではこれをベリファイリードモードと呼ぶことにする。以下、プログラ

μ→ペリファイリードの動作を図86のタイムチャートを用いて説明する。

【0212】プログラム動作は、前述したものと同様である。プログラムコマンドPCが入力されるとプログラムモードになる。外部からは、カラムアドレスとページを示すページアドレスが入力される。このとき、データレジスタ回路DRのトランスミッシヨントランジスタTTを制御する信号BLCDが“L”となり、トランジスタTTがオフする(図55参照)。また、これと共に、昇圧回路SUが動作し始め、次第に書き込みプリチャージ回路WPCに入力される信号BLCRL、BLCUが昇圧してゆき、10V程度まで上昇する。このとき、メモリセルアレイ群の中のビット線BLの電位も、BLCRLの電位上昇と共に上昇する。このとき、選択されたWLは20V程度の高電位に、NANDセル群のソース側のセレクトゲートトランジスタのゲートは0Vに、他のゲートは10V程度の中間レベルにそれぞれ設定される。

【0213】この状態で、カラムアドレスACを順次変化させ、書き込みデータをデータレジスタ回路DRへ入力していく。図ではWEが入力データのラッチ信号として働いている。このとき、データレジスタ回路DRへ入力された書き込みデータはそこにラッチされる。256バイト分の書き込みデータがそれぞれデータレジスタ回路DRにラッチされると、信号BLCUが“L”となって書き込みプリチャージ回路WPCはオフする。これと共に、信号BLCDが10V程度にまで上昇してトランジスタTTがオンし、ビットラインBLとデータレジスタ回路DRが接続される。このとき、データレジスタ回路DRに供給される電源VBITも10V程度にまで上昇する。この回路DRに“1”がラッチされていれば、ビット線BLの“H”がそのまま維持される。また、このデータレジスタ回路DRに“0”がラッチされていれば、プリチャージされたビット線のレベルは“L”になり、浮遊ゲートへの電子の注入が起る。このようにして、256バイト分の書き込みが同時に行われる。

【0214】続いて、所定時間経過後、一括ペリファイコマンドVCではなく、ペリファイリードコマンドCFを入力するとペリファイ出力モードに入る。カラムアドレスACを次々にインクリメントさせ、順次ラッチデータの内容を256バイト分(256回)出力する。ペリファイNGのビットに対しては“1”が、それ以外のビットに対しては“0”がパラレルに出力される。

【0215】このように、一括ペリファイ回路を用いた構成で、ペリファイNGかどうかをチップ外部に出力することができる。ここで、出力データは従来のような実際にセルに書き込まれたデータではなくて、再書き込みをすべきかどうかを示すペリファイNG信号である。従って、外部にコンパレート回路などを持つ必要なしに、書き込みエラーのおきたセル数をカウントすることができ

る。ペリファイリードで“0”が出力されたセルの合計が“1”ページ分でのペリファイNGの合計である。また、当然ではあるが、どこの番地でペリファイNGがあったかを特定することができる。

【0216】次に、ペリファイNGのカウントとECC(エラーコorrect回路)と組合わせた実施例を説明する。一般に、記憶データの信頼性を高めるため冗長セルを付加してエラーセルを補償する手法が使われている。例えば、256バイト(2Kビット)のページに対して64ビットの冗長ビットを設ける。これに冗長ビットのデータとしてハミングの距離を用いたハミング符号化を行うと、6ビットまでのデータ誤りを修正することができる。さらに一般的に、Mビットのデータ列に対してNビットの冗長ビットを追加すると、

$$\sum_{i=1}^{N-1} C_i + 1 \leq 2^M$$

を満たすTビットの誤りを修正できる。

【0217】ECC回路を有する実施例のフローチャートを図87に示す。書き込み動作に入り、プログラムを開始すると、1ページ(256バイト)分のデータが書き込まれる。さらに、エラーコorrect回路の64ビットの冗長セルに冗長データが書き込まれる。続いて、ペリファイ動作に入り、ペリファイOKならば書き込みが異常なく終了したことになり、書き込み動作が終了する。ペリファイがNGであれば、次に、再プログラムが何回目かを示すカウンタと比較して、これが3回目以下であれば再プログラムを行う。再プログラムの設定回数(この場合3回)を越えた場合、ペリファイリードを行う。ここで、前述したように、1ページ分のNGビットの個数をカウントする。続いて、このカウント結果が所定の冗長ビット数(この場合64ビット)で修正することができるかを比較し、これが出来れば、書き込みOKとなり、書き込み動作が終了する。また、NGビット数が冗長ビットでさえも救えないほど大きければ書き込みエラーとなる。

【0218】このようにすると、書き込みNGビットが生じたとしてもECCで救済できる範囲内であれば書き込みエラーとならない。従って、このように記憶装置を構成した場合、外部からみた書き込みエラー数が従来と比較して大幅に低下する。とくに、経時劣化のあるEEPROMでは効果が顕著である。

【0219】また、上記のような構成でECC回路を付加した場合、NGビットがあるにも拘わらず書き込みエラーとならないことがある。しかし、NGビットがECCで救済出来る範囲であるかを判定しながら、ECCの救済限界にどれほど近づいているかを知ることができる。例として、ECCの救済限界の8割がNGビットとなったとき、警告を発するようにすれば良い。とくに、経時劣化のあるEEPROMではチップの寿命を判定する手段となる。

【0220】さらに図55、図6に示した実施例に説明したようにペリファイ動作は一括で行える。従って、ペリファイ、を含めた書き込み時間はそれほど長くならない。

【0221】以上、ECCを付加した実施例を説明したが、これは、ワンチップで構成しても良いし、複数のEPROMチップからなる記憶システムとして構成しても良い。効果はまったく変わらない。また、冗長コードの生成法としてハミング方式を用いたが、これに限る必要はなく、リードソロモン式符号化法、HV符号化法、ファイアー符号化法、サイクリック符号化法等、種々の符号化法を用いても良い。

【0222】以上、アドレス制御を外部入力で行う方法で説明をおこなってきたが、以下にアドレスピンとデータ入力ピンを共通にした例を説明する。

【0223】図88にその一例を示す。ここで、ALE, NWP, CE, NWE, REは外部制御信号である。これらの信号はそれぞれ対応する入力ピンから入力され、チップの動作モードが決定される。また、制御回路からは、チップがアクセス可能か、不可能かを示す信号が、Ready/Busyピンを介して、外部に出力される。外部信号CLEはコマンド入力モードを決定する。外部制御信号ALEはアドレス入力モードを決定する。外部制御信号CEはチップセレクト信号である。外部制御信号NWEは、コマンド入力モード、アドレス入力モード及びデータ入力で、それぞれの入力データを取り込むクロック信号の働きをする。外部制御信号REは、データ読み出し時に入力されたアドレスから連続したアドレスを読みだす際の、アドレスインクリメントと、出力バッファのイネーブル機能を持つクロック信号である。

【0224】図88は書き込みを行う場合の外部制御モードを示すタイミングチャートである。ここで、まず、コマンド入力モードで、シリアルデータ入力コマンド80Hが入力される。これにより、チップは、プログラム開始番地を入力するため、アドレス入力モードとなる。アドレス入力モードでは、外部制御信号NWEの3ステップのクロックで、カラムアドレス及びページアドレスを、アドレスバッファに取り込み、各内部アドレス信号を入力アドレスデータに対応した所定の論理レベルに決定する。このときReady/Busy出力端子にReady信号が保持されるように構成されている。アドレス入力動作が終了すると、信号SDICが“L”→“H”レベルに変化する。このため、共通バスラインIOi/IOiBに、書き込みデータ及びその反転データが、I/O入力端子より、転送される。次に、外部制御信号NWEが“L”レベルとなっている間、入力されたカラムアドレスに対応するカラムデコード出力信号CSLnが“H”レベルとなる。このようにしてデータレジスタ内にデータが転送される。

【0225】その結果、0番地からN-1番地までのデ

ータレジスタの内容は、イニシャライズされた時のデータ“1”となっている。N番地からN+j番地までのデータレジスタには、I/O入出力端子から入力された、データがラッチされている。

【0226】このデータ入力モード後、コマンド入力モードで、オートプログラムコマンド10Hを入力すると、チップはメモリセルへの書き込みを行う。

【0227】この後は、前記説明の動作（プログラム→ペリファイ→再プログラム）が自動的に行われる。

【0228】上記書き込み動作中は、Ready/Busy出力端子よりBusy信号が出力される。所定の書き込み時間が経過すると、自動的にREADY信号が出力されるように設定されている。この書き込みモードが正常に終了したかの検知は、コマンド入力モードで70Hのフラグリードコマンドを入力して、ペリファイの結果（信号PEOK）をI/O入出力端子より読み出すことにより可能である。

【0229】図89は、前述した半導体メモリに、オートコマンドを用いずに書き込みを行う場合における外部制御信号の入力波形と、データ入力タイミングを示す。コマンド入力モードで、シリアルデータ入力コマンド80Hが入力される。これにより、チップはプログラム開始番地を入力するため、アドレス入力モードとなる。アドレス入力モードでは、前述の読みだしモードと同様に、外部制御信号WEが“L”レベルとなっている間に入力された、カラムアドレスに対応するカラムデータ出力信号が“H”レベルとなる。これにより、データレジスタのラッチ内容は、共通バスライン上の書き込みデータラッチに書き込まれる。このようにして順次、書き込みデータがラッチされる。ラッチが終わると、プログラムコマンド“40H”が入力され、プログラムモードへ移行する。

【0230】次に、ペリファイコマンドを入力すると、ロウアドレスに応じたアドレスバッファ回路内の内部アドレス信号に対応したワード線が選択される。更に、所定のディレイ時間の後、選択されたワード線にコントロールゲートが接続された1ページ分のメモリセルデータが、ビット線を介して読み出され、データレジスタにラッチされる。次に、このデータレジスタの内容PEを、“H”→“L”→“H”と変化させ、カラムアドレスをインクリメントさせ、順次、データをチップ外部に呼び出す。読みだしたデータを、チップで、外部記憶書き込みデータとコンパレートする。これにより、どの番地で、何ビットがエラーとなったかを判定することができる。

【0231】図90にその書き込み、ペリファイ動作を行う場合の、外部制御信号の入力波形とデータ入力タイミングを示す。まず、コマンド入力モードで、シリアルデータ入力コマンド80Hが入力される。これにより、チップはプログラム開始番地を入力するため、アドレス

入力モードとなる。アドレス入力モードでは、前述の読みだしモードと同様に、外部制御信号WEの3ステップのクロックで、カラムアドレス及びページアドレスを、各々のアドレスバッファ回路に取り込み、各内部アドレス信号を入力アドレスデータに対応した所定の論理レベルに設定する。その後、外部制御信号WEが“L”レベルとなっている間に入力された、カラムアドレスに対応するカラムデータ出力データが“H”レベルとなる。これにより、データレジスタのラッチ内容は、共通バスライン上の書き込みデータに書き込まれる。このようにして、順次、書き込みデータをラッチする。このラッチが終わると、プログラムコマンド“40H”が入力され、プログラムモードへ移行する。このデータ書き込み時は、次のベリファイリードコマンドが入力されるまでの間、書き込みを行う。

【0232】次に、ベリファイコマンド（一括ベリファイ）を入力すると、前述の説明のように、一括ベリファイが行われる。次に、この状態で先述と同じように、REを“H”→“L”→“H”と変化させ、カラムアドレスをインクリメントさせ、順次、データをチップ外部に読み出す。

【0233】このようにすると、書き込みNGとなったビットからは、“0”データが、OKとなったビットからは“1”データが出力される。このため、疑似的ではあるが、不良ビット数を判定することができる。図91は図90に示したシステムの他の例である。ここでは、ベリファイリードコマンドの入力後に、REを動かし、カラムアドレスをインクリメントすることなく、フラグリードコマンド“70H”を入力し、プログラムOK可否かを出力する例を示した。このようにシステムを構成しても、Fail/Passの判定は可能である。

【0234】周知のようにNOR型のメモリセルへのデータの書き込みは、フローティングゲートへのホットエレクトロンの注入によりなされる。故に、書き込み時、1つのメモリセル当たり1～2mA程度の書き込み電流を消費する。このため、NAND E²型では可能であるが、NOR型では256バイト等のページ書き込みが行えない。しかしながら、NOR型は、読み出しスピードが速い等のメリットを有することから利用されている。

【0235】NOR型は、E² 故に、オンボード上でのデータの書き換えが可能である。まず、アドレス指定を行ない、書き込みデータを入力し、メモリセルへ書き込みを行ない、次に書き込んだアドレスのデータを読みだし、データの比較を行ない、書き込みがなされたか否かを判定する。

【0236】ボード上でこのような動作を行わせる場合には、CPUが、データの書き込み、ベリファイ動作に必要な信号を作ることになる。このため、この間、CPUが専有されてしまうという問題がある。

【0237】従って、書き込み、ベリファイ動作を、チップ内部でオート化することにより、CPUを開放する方法が一般的となっている。

【0238】この時、書き込みデータをラッチする回路と、読み出したデータをラッチする回路と、このデータを比較する回路とを設けた例もある（特願平3-125399）。この例ではパターンエリアが比較的大きくなり、チップサイズが大きくなるという問題がある。

【0239】以下に説明する実施例は、比較的小さなパターンエリアで、書き込みだけでなく、消去時にも使えるようにしたものである。

【0240】即ち、これまでに述べた実施例は、NAND構造のメモリセルを例にしたものであるが、以下には、2層構造のNOR型のセルを用いた場合の一括ベリファイ方式について述べる。即ち、図92～図94に2層構造のメモリセル（EEPROM）の一例を示す。

【0241】図92はパターン平面図、図93は図92のB-B'線断面図、図94は図92のC-C'線断面図である。これらの図において、211は第1層目の多結晶シリコンからなる浮游ゲート（FG）である。212は第2層目の多結晶シリコンからなる制御ゲート（CG）である。この制御ゲート212はメモリセルのワード線として使用される。

【0242】また、213は、P型の基板である。214および215は、この基板214上に形成されたN⁺型拡散層からなるソース（S）及びドレイン（D）である。216は、コンタクトホールである。217は、このコンタクトホール217を介して、上記ドレイン216と接続されるアルミニウム層（ビット線BL）である。さらに、218は浮游ゲートトランジスタ分のゲート絶縁膜であり、厚さは100オングストロームである。219は、浮游ゲート211と制御ゲート12との間に設けられた絶縁膜であり、例えばO-N-O構造（Oxide-Nitride-Oxide）の3層構造膜で構成されており、厚さは酸化膜換算で約200オングストロームである。220はフィールド絶縁膜であり、221は層間絶縁膜である。

【0243】次に、動作原理を説明する。消去時には、ソース214に消去電圧12Vを印加し、ドレイン215をフローティング状態とし、制御ゲート213を0Vとする。これにより、薄いゲート絶縁膜18を介して、浮游ゲート211とソース214との間に、高電圧が印加される。これによりファウラー・ノルトハイムのトンネル効果により、浮游ゲート211中の電子が、ソース214に放出され、消去が行われる。

【0244】書き込み時には、ドレイン215に約6Vを、ソース214に0Vを、制御ゲート213に12Vをそれぞれ印加する。これにより、ドレイン近傍で、インパクト・アイオナイゼーションが起こり、電子が浮游ゲート11に注入され、書き込みが行われる。

【0245】読み出し時には、ドレイン215に1Vを、ソース214に0Vを、制御ゲート213に5Vを加える。このとき、浮游ゲート211中に電子が有るか否かによりオフ/オンし、それぞれ、データ“0”又は“1”を示すことになる。

【0246】このようなメモリセルを用いた半導体集積回路、例えば4ビット構成でのフラッシュ型EEPROMは、図95に示すように構成される。

【0247】図95において、 $A_0 \sim A_1$ はローアドレス入力信号であり、ローアドレス・バッファ回路1により増幅・整形されたのち、ローデコード回路2に入力する。 $B_{1+1} \sim B_j$ はカラムアドレス入力信号であり、カラムアドレス・バッファ回路3により増幅・整形されたのち、カラムデコード回路4に入力する。ローデコード回路2は、複数のワード線WLのうちの1本だけを選択する。カラムデコード回路4は、各カラム選択ゲート回路6中の1本のゲート6Aを選択的にオンして、ビット線BLを各I/O毎に1本、都合4本だけ選択する。これによって、メモリセルアレイ5の中から、各I/O毎に1個、都合4個のメモリセルMCが選択される。選択された各メモリセルMCの情報が、それぞれセンスアンプ回路7で検知・増幅される。各センスアンプ回路7の出力が、各出力バッファ回路8を経て、チップ外部へ読出される。つまり、4つの情報が同時に外部に出力される。

【0248】図95においては、メモリセルアレイ5は4つのメモリセルアレイユニット(MCAU)5Aから構成される。各ユニット5Aは、説明を簡単にするため、4本のワード線WLと、4本のビット線BLと、16個のメモリセルMCと、4つのリファレンスメモリセルRMCとを有するものとしている。4本のビット線BLに対応させて、カラム選択ゲート回路6中のゲート6Aも、4つとしている。これらのゲート6Aのうちの1つが、カラムデコード回路4によって、オンさせられる。リファレンスメモリセルRMCは、途中にリファレンスゲートRBTを有するリファレンスビット線RBLによって、センスアンプ回路(SA)7に接続されている。

【0249】このような構成のEEPROMに対する4ビットデータの書き込みは次のようにして行われる。即ち、4つの入出力兼用パッド(図示せず)から、4つのデータを、各I/O毎に、読み込む。読み込んだデータに応じて、書き込み回路10が、ビット線BLの電位を設定する。つまり、書き込み回路10は、書き込みデータが“0”のときは高電位を、“1”のときは低電位を、入力アドレス信号により選択されるビット線BLにそれぞれ供給する。このとき、入力アドレス信号により選択されるワード線WLにも高電位が出力される。

【0250】即ち、“0”データ書き込みのときは、選択されたワード線WLと、データを書き込むべきビット

線BLとが高電位となる。これにより、メモリセルMCのドレインD近傍で発生したホットエレクトロンが、メモリセルMCの浮游ゲートFGに注入される。これにより、メモリセルMCのしきい値電圧が正方向へシフトされ、“0”データがメモリされる。

【0251】一方、“1”データを書き込む時は、ビット線BLは低電位となる。これにより、浮游ゲートFGへ電子が注入されることはなく、メモリセルMCのしきい値電圧もシフトしない。これにより、“1”データが記憶される。

【0252】一方、データを消去する時は、メモリセルのソースを高電圧にする。これにより、浮游ゲートFGに注入されている電子が、F-N(ファウラーノルドハ임)のトンネル効果により、放出させられる。

【0253】図96は、図95の一部を具体的に表わしたものであり、これらの図において同一の符号は同一の回路を示している。図96は、特にセンスアンプ回路(SA)7及びコンパレート回路9を具体的に示している。さらに、コンパレート回路9に比較対象としての一方の信号を入力する回路INCIRと、コンパレート回路9の出力を受ける一括ベリファイ回路VECIRを示している。

【0254】前にも述べたように、MCは浮游ゲート型MOSトランジスタからなるメモリセル、RMCは浮游ゲート型MOSトランジスタからなるリファレンスメモリセル(ダミーセル)、BLはビット線、RBLはリファレンスビット線、RBTはカラム選択ゲート用トランジスタ6Aの1個と等価なダミービット線選択用トランジスタである。このトランジスタRBTは、そのゲートに V_{cc} 電位が与えられ、リファレンスビット線RBLに挿入されている。BASは複数のカラム選択ゲート用トランジスタ6A、6A、…が並列に接続されているバス線、LD1はこのバス線BASに接続されている第1の負荷回路(バイアス回路)、LD2はこのリファレンスビット線RBLに接続されている第2の負荷回路(バイアス回路)である。第1の負荷回路LD1の出力側のビット線BL'の電位 V_{in} と、第2の負荷回路LD2の出力側のリファレンスビット線RBL'の電位(基準電位) V_{ref} とは、データ検知回路28(例えばCMOSカレントミラーによって構成される)に加えられる。

【0255】上記センスアンプ回路(SA)7において、 V_{cc} 電源とデータ検知回路部28との間には、活性化制御用のPチャネルトランジスタP4が接続されている。このトランジスタP4のゲートには反転信号/ $CE * 1$ が与えられる。このトランジスタP4がオフの時には、データ検知回路部28が非動作状態となって、電流消費が低減される。また、データ検知回路部28の出力端DSOと接地端との間には、ゲートに反転信号/ $CE * 1$ が与えられるNチャネルトランジスタN7が接続されている。

【0256】センスアンプ回路7において、リファレンスメモリセルRMCのデータに基づいて生成されるリファレンスピット線RBLの基準電位Vrefと、選択されたメモリセルから読出されたデータに基づいて生成されるビット線BLの電位Vinとが、比較される。この比較結果に基づいて、メモリセル中の記憶データを検知し、3つのインバータを介して出力バッファ回路8へ出力する。

【0257】センスアンプ回路7の出力は、コンパレート回路9の一方の入力端へも入力される。コンパレート回路9の他方の入力端へは、I/O padへ加えられた信号（書き込みデータ）が加えられる。コンパレート回路9においては、これらの2つの入力信号を比較して、その結果（VR0）を一括ベリファイ回路VE CIRに加える。一括ベリファイ回路VE CIRには、これ以外の3ビットにおけるコンパレート回路9からの出力VR1、VR2、VR3も加えられる。一括ベリファイ回路VE CIRは、これらの出力VR0、VR1、VR2、VR3の全てが書き込みOKを示すときにのみ出力回路Doutからの出力を許容する。これ以外の場合、つまり、出力VR0～VR3のうちの1つでも、書き込みNGを示す場合には、出力回路Doutからの出力を阻止する。

【0258】図97及び図98は、それぞれ、プログラムベリファイ時及びイレーズベリファイ時におけるコンパレート回路9からの出力VR0を示す。図97（a）は、“1”ライトの場合を示している。プログラムOKの場合は、センスアンプ出力DS0が“1”となる。こ

れにより、コンパレート出力VR0も“1”、即ち、プログラムOKを示す。図97（b）は、“0”ライトの場合を示す。“0”ライトNGの場合にはセンスアンプ出力DS0が“1”を示す。このため、コンパレート回路出力VR0は“0”、即ち、プログラムNGを示す。図97（c）は、“0”ライトの場合を示す。“0”ライトOKの場合には、センスアンプ出力DS0が“0”を示す。このため、コンパレート回路出力VR0は“H”、即ち、プログラムOKを示す。なお、コンパレート回路出力VR0～VR3の全てが“H（プログラムOK）”を示すときには、一括ベリファイ回路出力PVFYは“H”を示す。図98からわかるように、イレーズOK/NGの場合は、センスアンプ出力DS0は“1/O”を示す。これに応じて、コンパレート回路出力VR0は、“1/O”を示す。コンパレート回路出力VR0～VR3の全てがイレーズOKを示すときには、一括ベリファイ回路出力EVFYは“1”となる。コンパレート回路出力VR0～VR3の1つでもイレーズNGを示すときには、前記出力EVFYは“0”となる。

【0259】次に、図99にさらに異なる実施例を示す。この実施例は、特開平3-250495号公報の図6に示されるメモリセルに一括ベリファイ回路を組み込んだものである。この図99において、図96と同様の回路にはそれと同一の符号を付している。

【0260】この図99の装置における、イレーズ、ライト、及びリード時における各部位への印加電圧は、表6に示される。

【0261】

表 6

I/Oパッド	BSL	BL	WL	Vss		
イレーズ (電子注入)		—	0 V	フローティング	20 V	0 V
ライト						
“0”ライト (電子抜かず)	0 V	22 V	0 V	0 V	フローティング	
“1”ライト (電子抜き)	5 V	22 V	20 V	0 V	フローティング	
非選択セル	—	22 V	0V/20V	10 V	フローティング	
リード	—	5 V	1 V	5 V	0 V	

この図99における装置におけるプログラムベリファイ及びイレーズベリファイの動作は、前述の図90における動作と同様であるため、説明を省略する。

【0262】次に、上述したような一括ベリファイ機能を有する不揮発性半導体記憶装置を用いた記憶システムの例を説明する。

【0263】通常、記憶システムは、最小限のコストで最大限の能力を引き出すために、階層的に構成されている。それらの1つとしてのキャッシュシステムは、メモリアクセスの局所性を利用したものである。通常のキャッシュシステムを用いた計算機は、CPUに加え、高速

で小容量のSRAMと低速で大容量のDRAMとを具備している。このようなキャッシュシステムでは、アクセス時間の長いDRAM等で構成された主記憶の一部を、アクセス時間の短いSRAM等で置き換え、これにより実効的なアクセス時間を短縮している。つまり、CPUなどからアクセスする際に、SRAM内にデータがあれば（すなわちキャッシュがヒットしたときは）高速動作可能なSRAMからデータを読み出し、ヒットしない場合（ミスヒットの場合）はDRAM等の主記憶からデータを読み出す。キャッシュ容量及び置き換え方式が適当であれば、ヒット率が95%を越え、平均的なアクセス

は非常に高速化される。

【0264】上述したようなNAND型EEPROM等では、書き込み及び消去をページ単位（たとえば2Kビット）で行うことが可能である。ページ単位での処理により、書き込み及び消去が非常に高速になる。しかしながら、このような装置では、ランダムアクセスを犠牲にしているため、SRAMやDRAM等のRAMから構成されるキャッシュメモリが必須である。NAND型EEPROM等の不揮発性記憶装置にキャッシュシステムを適用すると、書き込み回数が減り、その結果としてチップの寿命が延びる。

【0265】不揮発性半導体記憶装置を用いたメモリシステムの第1の実施例を説明する。図100はその回路構成を示している。このシステムは、ROM121と制御回路122を有する。ROM121は、一括ペリファイ機能を有する。制御回路122は、ROM121の書き込みを制御するもので、少なくとも内部に書き込みデータレジスタを有する。この書き込み制御回路122は、ROM121が出力する一括ペリファイ信号にตอบสนองして、次に書き込むべきページデータを出力する。この制御回路は、CPUを用いて構成しても良いし、ゲートアレーやSRAMを含む複数チップで構成しても良い。

【0266】上述したようなNAND型EEPROMでは、一括消去ブロックは通常数ページにわたる。従って、キャッシュメモリなどのシステムを構成したときには、一括消去ブロック毎に書き込みを行う。例えば、上述の8NAND型のメモリセルを有するNAND型EEPROMでは、2Kビット（1ページ） $\times 8 = 16$ Kビット（8ページ）で1つの一括消去ブロックを構成しており、書き込みもこのブロック単位で行う。従って、書き込み動作には常に8ページの書き込みが伴う。

【0267】図100に示した回路では、ROM121が出力する一括ペリファイ信号VFYを用いて次のページの書き込み動作を行う。すなわち、1ページ目のデータをラッチした後はROM内部で書き込み及びペリファイが繰り返される。1ページ分のすべてのデータの書き込みが完了すると、1ページ目についての一括ペリファイ信号VFYが出力される。この一括ペリファイ信号VFYを制御回路122が検知し、2ページ目のデータをROM121にラッチする。続いて、ROM内部で2ページ目についての書き込み及びペリファイが繰り返され、1ページ分のすべてのデータの書き込みが完了すると、2ページ目についての一括ペリファイ信号VFYが出力される。3ページ目以降についても上記と同様にして書き込まれる。

【0268】例えば、上述のような8NAND型のメモリセルを有するNAND型EEPROMでは、一回の書き込み動作において、制御回路122は8ページ分のデータ転送を行い、2ページ目以降は前ページにおける一括ペリファイ信号を検知した後ページデータの転送を行

う。

【0269】以上に説明したように、本実施例によると、制御回路122からROM121への書き込みページデータの転送を、一括ペリファイ信号に基づいて行うことができる。従来は、外部に比較回路やペリファイ読み出し用の大容量のレジスタを設けていたが、本実施例ではそのようにする必要がない。これにより、制御回路122の構成は非常に簡単になる。

【0270】上述の実施例は、制御回路122に対してROM121が一つである構成を示す。これに対し、一括ペリファイ信号を出力するROMを複数個有するメモリシステムを構成することもできる。図101は、この一例を示す。このシステムは、上述したような一括ペリファイ機能を有する。このシステムは、ROM101～103とRAM104と制御回路105とを有する。ROM101～103は、書き込みが終了すると一括ペリファイ信号を出力する。RAM104は、図示しないCPUからのアクセスに対してキャッシュメモリとして用いられる。制御回路105は、RAM104とROM101～103との間のデータ転送の制御を行う。RAM104とROM101～103の間におけるデータ転送は、データバス106を介して行われる。ROM101～103が主記憶を構成し、キャッシュメモリとして用いられるRAM104よりはるかに大容量である。マッピング方法は、一般的な4ウェイが望ましいが、ダイレクトマッピングやフルアソシエイティブ等、既存の種々の態様のマッピングが可能である。キャッシュメモリにおけるブロックは、一括消去ブロックと同じ容量とする。

【0271】次に、一括消去ブロックが16Kで、マッピング方法が4ウェイの時の説明する。この時、SRAMは64Kビットであり、4個の16Kのブロックを有する。これらのブロックは、ROM内の一括消去ブロックのコピーデータを一時的に保持している。例えば、ROM内の2、3、4、5番目の一括消去ブロック中のデータについてアクセスが行われているとする。このときには、これらのデータのコピーデータが、SRAM内の4個のブロックに、一時的に、保持されている。

【0272】図示しないCPUから、例えば3番目の一括消去ブロックに対して書き込み及び消去動作が行われるとする。この際には、すでにそのデータのコピーがSRAM内に存在する（ヒットする）ため、ROMに対して直接アクセスすることなく、高速なSRAMのみを介してデータのやりとりが行われる。

【0273】図示しないCPUから、例えば6番目の一括消去ブロックに対して読み出しが行われるとする。この際には、当該一括消去ブロックのデータのコピーは、SRAMには存在しない（ミスヒットする）ため、ROMから読み出したデータをSRAMに転送する必要がある。しかし、これに先立って、SRAM内のブロックの

一つをROMに書き戻しておく必要がある。例えば、2番目の一括消去ブロックのデータをSRAMからROMに書き戻す際には、ROMの当該一括消去ブロックの全データを消去し、引き続いてSRAMのブロックデータを順次転送して書き込みを行う。この書き戻し動作において、消去ベリファイ信号を用いることができる。この消去ベリファイ信号（消去動作が完了したことを示す）に応答して、SRAMから、1ページ目のデータが転送される。続いて、2ページ目以降のデータの転送は、上述したように、前ページの一括ベリファイ信号を検知することにより行うことができる。上述した8NAND型EEPROMでは、8ページ分のデータ転送が必要である。続いて、6番目の一括消去ブロックの全データを、SRAMの空いたブロックにコピーし、当該アドレスにおけるデータをSRAMがCPUに出力する。

【0274】図示しないCPUから、例えば7番目の一括消去ブロックに対して書き込みが行われるとする。この際には、当該一括消去ブロックのデータのコピーは、SRAMには存在しない（ミスヒットする）。従って、上述の書き戻し動作と読み出し動作を、SRAMへの書き込み動作に先立って、行う必要がある。例えば、3番目の一括消去ブロックのデータを、SRAMからROMに書き戻す際には、ROMの当該一括消去ブロックの全データを消去し、引き続いてSRAMのブロックデータを順次転送して書き込みを行う。この書き戻し動作において、消去ベリファイ信号を用いることができる。この消去ベリファイ信号（消去動作が完了したことを示す）に応答して、SRAMから、1ページ目のデータが転送される。続いて、2ページ目以降のデータの転送は、上述したように、前ページの一括ベリファイ信号を検知することにより行うことができる。上述した8NAND型EEPROMでは、8ページ分のデータ転送が必要である。続いて、7番目の一括消去ブロックの全データをSRAMの空いたブロックにコピーし、さらに、CPUから書き込みの要求があったデータをSRAM中の対応する領域に書き込む。

【0275】このように、一括ベリファイ信号を出力するROMは、SRAM等と組み合わせて容易にキャッシュシステムを構成することができる。ミスヒット時のデータ書き戻しに一括ベリファイ信号を用いるためである。

【0276】続いて、一括ベリファイ機能を有するメモリシステムの第3の実施例を説明する。図102はその回路例を示している。すなわち、一括ベリファイ機能を有するROM111、112と、書き込みを制御し少なくとも内部に書き込みデータレジスタを有する制御回路113とを有する。この制御回路113は、CPUを用いて構成しても良いし、ゲートアレーやSRAMを含む複数チップで構成しても良い。また、ROM111及びROM112は1チップ上に混載しても良いし、複数チ

ップで構成しても良い。

【0277】連続したページデータはROM111とROM112とに交互に格納される。例えば1、3、5、…、 $(2N-1)$ ページ目は、ROM111に、2、4、6、…、 $(2N)$ ページ目はROM112に格納される。上述したように、書き込みモードにおける動作は、チップ内部の書き込みデータラッチにページデータを転送する動作と、これに続く書き込み及びベリファイ動作とからなる。このシステムでは、書き込みデータをROM111に転送している間に、ROM112の書き込み及びベリファイを行う。さらに、複数のページにわたるデータを書き込む際は、ROM111とROM112とに、交互にデータ転送を行う。

【0278】図101に示した回路構成においても、書き込みデータ転送の制御はROMが出力する一括ベリファイ信号を用いる。はじめに、1ページ目のデータがROM111に転送され、続いてROM111について書き込み及びベリファイ動作が行われる。ROM111に書き込み及びベリファイ動作が行われている間に、制御回路113は、ROM112に2ページ目のデータを転送し引き続いて書き込み及びベリファイ動作を行う。ROM111について1ページ目の書き込みが終了すると一括ベリファイ信号が出力される。これに応じて、制御回路113は、3ページ目のデータをROM111に転送し引き続いて書き込み及びベリファイ動作を行う。4ページ目以降のページ書き込みについても、上記と同様である。

【0279】以上説明したように、第3の実施例によると、制御回路113からROM111、112への書き込みページデータの転送を、一括ベリファイ信号をもとに行うことができる。本実施例は、従来と異なり、外部に比較回路やベリファイ読み出し用の大容量のレジスタを設ける必要がなく、制御回路112の構成は非常に簡単になる。また、書き込みを交互に行うため、書き込み時間が高速になる。ただし、一括消去ブロックの大きさは2倍になる。

【0280】

【発明の効果】本発明によれば、複数のメモセルのそれぞれに関する書き込み、消去が適正に行われたか否かを迅速に検知して、対象とする全てのメモセルに関する書き込み、消去を迅速に行うことができ、しかも書き込み、消去を繰り返してもメモセルにおけるしきい値の変動しすぎを防止することができる。

【図面の簡単な説明】

【図1】第1の実施例に係わるNANDセル型EEPROMの構成を示すブロック図。

【図2】第1の実施例におけるNANDセル構成を示す平面図と等価回路図。

【図3】図2(a)のA-A'及びB-B'断面図。

【図4】第1の実施例におけるメモセルアレイの等価

回路図。

【図5】第1の実施例におけるビット線制御回路部の構成を示す図。

【図6】第1の実施例におけるビット線制御回路部と他の回路との接続関係を示す図。

【図7】第1の実施例におけるデータ書き込み/書き込み確認動作を示すタイミング図。

【図8】第2の実施例に係わるNANDセル型EEPROMの構成を示すブロック図。

【図9】第2の実施例におけるビット線制御回路の構成を示す図。

【図10】第2の実施例におけるプログラム終了検知回路の構成を示す図。

【図11】第2の実施例における書き込み確認動作を示すタイミング図。

【図12】データラッチ部とプログラム終了検知回路の別の実施例を示す図。

【図13】データラッチ部とプログラム終了検知回路の別の実施例を示す図。

【図14】NOR型フラッシュEEPROMについての実施例の回路図。

【図15】しきい値分布図。

【図16】データラッチ部とプログラム終了検知回路の別の実施例を示す図。

【図17】データラッチ部とプログラム終了検知回路の別の実施例を示す図。

【図18】第3の実施例における書き込み/書き込み確認時のアルゴリズムを示す図。

【図19】データラッチ兼センスアンプと書き込み終了検知用トランジスタを模式的に示す図。

【図20】図19の書き込み終了検知用トランジスタとヒューズ用不揮発性メモリの構成を示す図。

【図21】図20の構成とは別の構成例を示す図。

【図22】図19の回路を用いた場合のプログラムアルゴリズムを示す図。

【図23】図19とは別の回路構成を示す図。

【図24】第4の実施例におけるビット線制御回路の構成を示す図。

【図25】第3、4の実施例におけるビット線制御回路の他の構成例を示す図。

【図26】3、4の実施例におけるビット線制御回路の他の構成例を示す図。

【図27】3、4の実施例におけるビット線制御回路の他の構成例を示す図。

【図28】第3の実施例におけるビット線制御回路のデータラッチ部に一括して同一のデータをラッチさせる動作のタイミングを示す図。

【図29】第4の実施例におけるビット線制御回路のデータラッチ部に一括して同一のデータをラッチさせる動作のタイミングを示す図。

【図30】第3の実施例の変形例で、1つのCMOS FETを隣り合う2本のビット線で共有した回路構成を示す図。

【図31】図30の構成の他の例を示す図。

【図32】第5の実施例に係わるNANDセル型EEPROMの構成を示す図。

【図33】メモリセルアレイ及びその周辺回路の具体的な構成を示す図。

【図34】第5の実施例における書き込み時の動作を示すタイミング図。

【図35】第5の実施例における読出し動作を示すタイミング図。

【図36】第6の実施例でのメモリセルアレイ及びその周辺回路の具体的な構成を示す図。

【図37】第6の実施例における書き込み動作を示すタイミング図。

【図38】第6の実施例における読出し動作を示すタイミング図。

【図39】第33に示される実施例の変形例を示す図。

【図40】図36に示される実施例の変形例を示す図。

【図41】図36に示される実施例の変形例を示す図。

【図42】図36に示される実施例におけるビット線の置き換えを模式的に示す図。

【図43】図36に示される実施例におけるビット線の置き換えを模式的に示す図。

【図44】データラッチ兼センスアンプを4本のビット線で共有した実施例を示す図。

【図45】図44の実施例におけるビット線の置き換えを模式的に示す図。

【図46】図44の実施例におけるビット線の置き換えを模式的に示す図。

【図47】図39に示される実施例の変形例を示す図。

【図48】図40に示される実施例の変形例を示す図。

【図49】図41に示される実施例の変形例を示す図。

【図50】本発明に係る不揮発性半導体メモリ装置の第7実施例を示すブロック図である。

【図51】第7実施例におけるセンスアンプ兼ラッチ回路の回路図である。

【図52】第7実施例における消去動作を説明するためのフローチャートである。

【図53】本発明の第8実施例を示すブロック図である。

【図54】第8実施例におけるセンスアンプ兼ラッチ回路の回路図である。

【図55】本発明の第9実施例におけるセンスアンプ兼ラッチ回路の回路図である。

【図56】本発明の第10実施例におけるセンスアンプ兼ラッチ回路の回路図である。

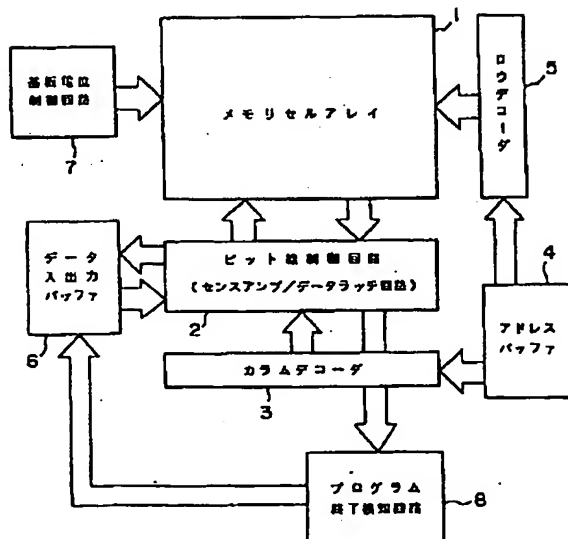
【図57】本発明の第11実施例の全体構成図。

【図58】図57のタイミングチャート。

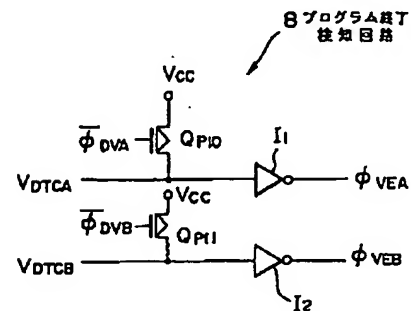
【図59】図57のリードマージンの説明図。
 【図60】図57の消去（イレース）フローチャート。
 【図61】イレースフローチャート。
 【図62】図57の出力回路の詳細図。
 【図63】従来のメモリの部分図。
 【図64】プログラムベリファイ時のタイミングチャート。
 【図65】書き込みデータWDとベリファイデータVDの組み合わせを示す図。
 【図66】ベリファイ後の電位レベルの分布及びビットラインのしきい値依存性を示す図。
 【図67】プログラムベリファイのタイミングチャート。
 【図68】書き込みデータWDとベリファイデータVDの組み合わせを示す図。
 【図69】ベリファイ後の電位レベルの分布及びビットラインのしきい値依存性を示す図。
 【図70】再書き込みトランジスタの他の例。
 【図71】本発明の実施に使用される一般的回路図。
 【図72】本発明の実施に使用される一般的回路図。
 【図73】本発明の実施に使用される一般的回路図。
 【図74】本発明の実施に使用される一般的回路図。
 【図75】本発明の実施に使用される一般的回路図。
 【図76】本発明の実施に使用される一般的回路図。
 【図77】本発明の実施に使用される一般的回路図。
 【図78】実施例としてのチップ回路図及びしきい値分布図。
 【図79】実施例としてのチップの他の回路図。
 【図80】ベリファイレベル設回路。

【図81】Vwell回路の詳細図。
 【図82】第11実施例（図55）の変形例。
 【図83】図82の動作説明のための図表。
 【図84】オートプログラムの概念図。
 【図85】図84のフローチャート。
 【図86】プログラム動作後のベリファイ動作のタイミングチャート。
 【図87】ECC回路を有する実施例のフローチャート。
 【図88】外部制御モードのタイミングチャート1。
 【図89】外部制御モードのタイミングチャート2。
 【図90】外部制御モードのタイミングチャート3。
 【図91】外部制御モードのタイミングチャート4。
 【図92】EEPROMの平面パターン図。
 【図93】図92のB-B線断面図。
 【図94】図92のC-C線断面図。
 【図95】4ビットフラッシュEEPROMのブロック図。
 【図96】図95の一部詳細図。
 【図97】プログラムベリファイ時のタイミングチャート。
 【図98】イレースベリファイ時のタイミングチャート。
 【図99】さらに異なる実施例の回路図。
 【図100】実施例としての記憶システム。
 【図101】異なる実施例としての記憶システム。
 【図102】さらに異なる実施例としての記憶システム。

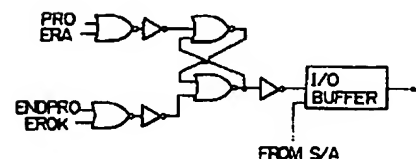
【図1】



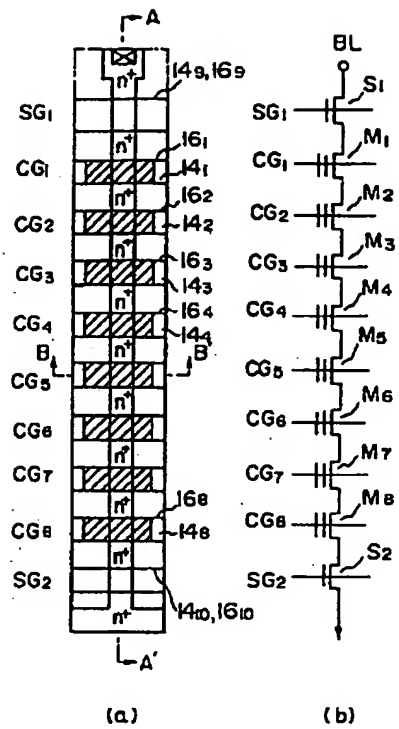
【図10】



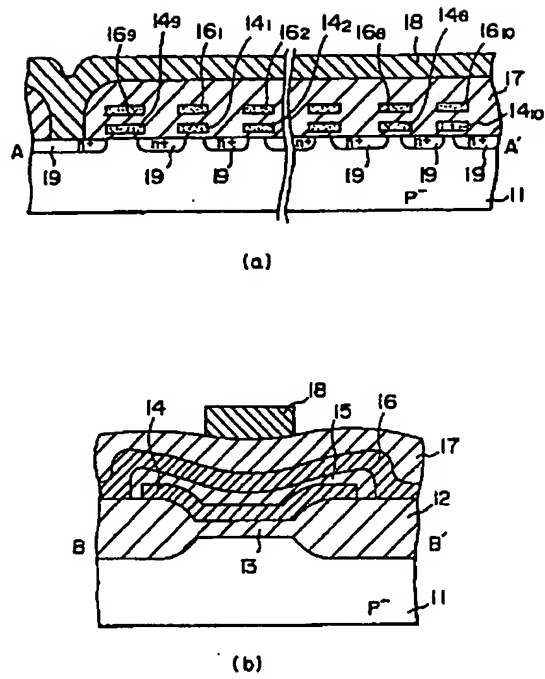
【図73】



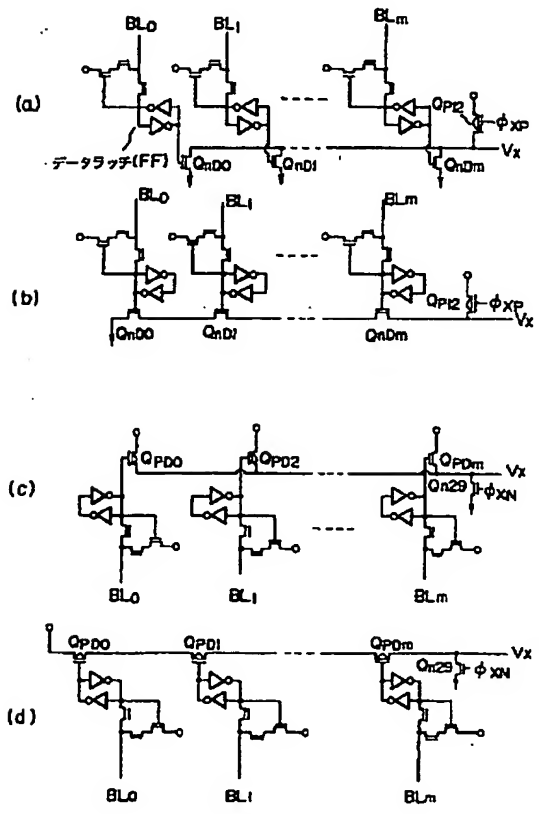
【図2】



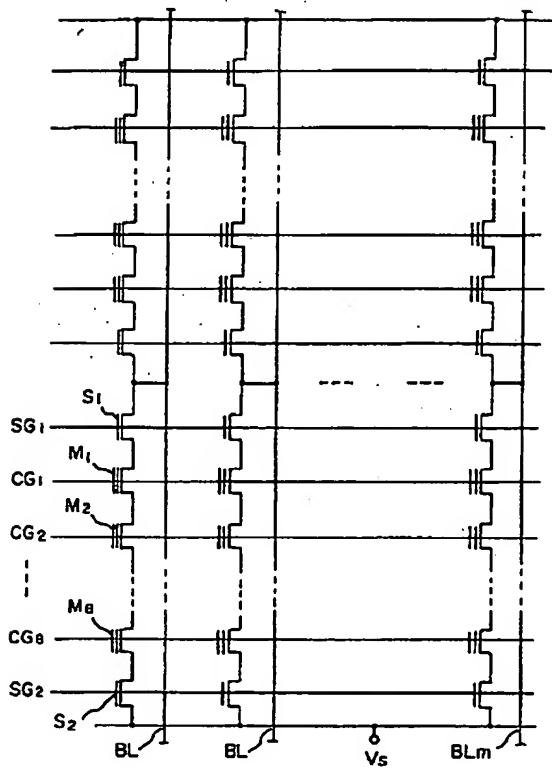
【図3】



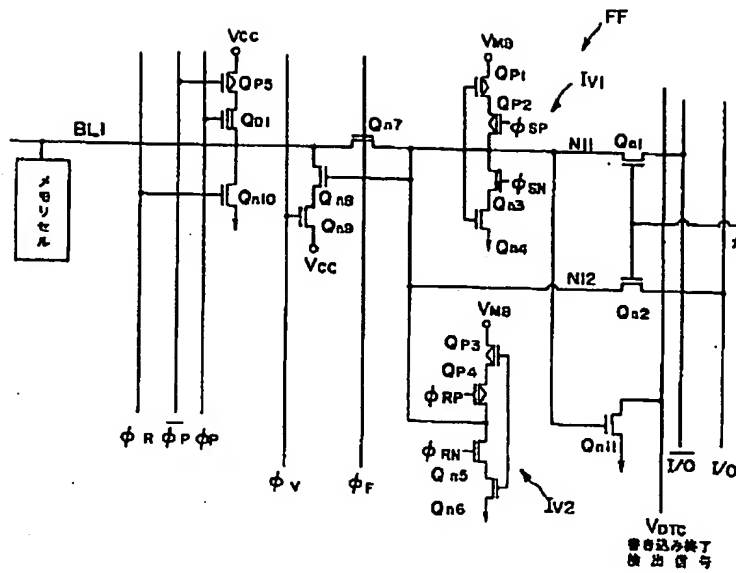
【図12】



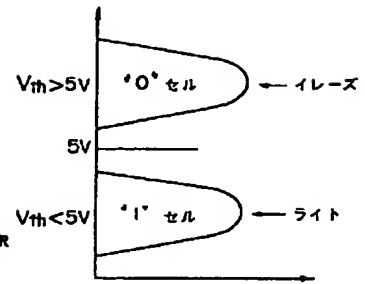
【図4】



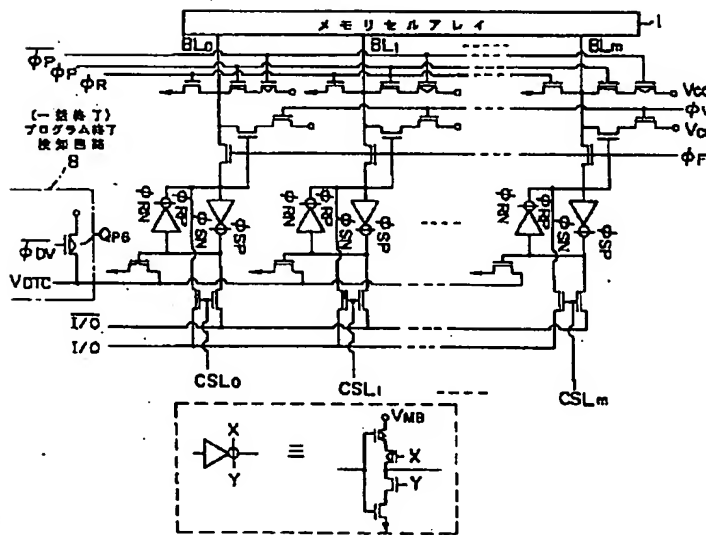
【図5】



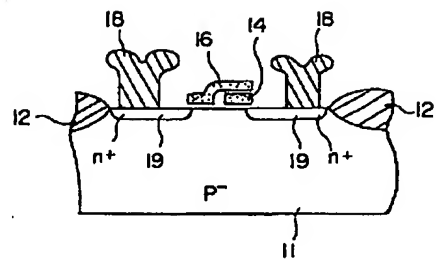
【図15】



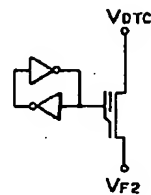
【図6】



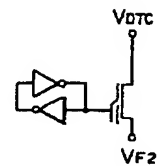
【図21】



(a)

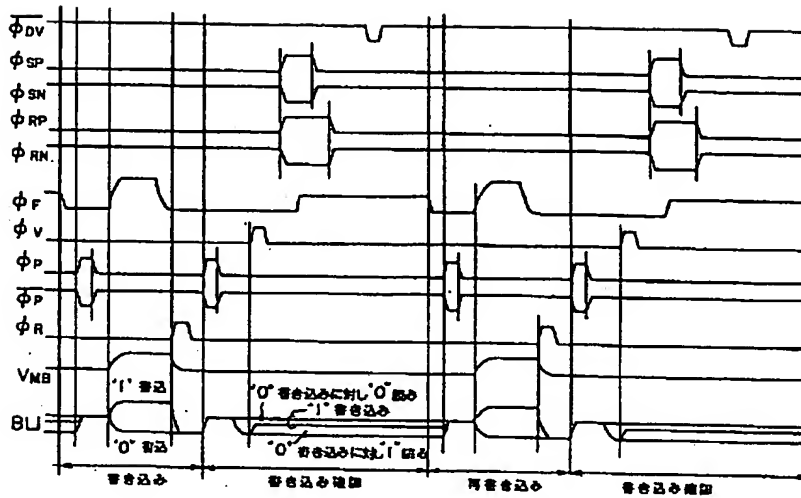


(b)

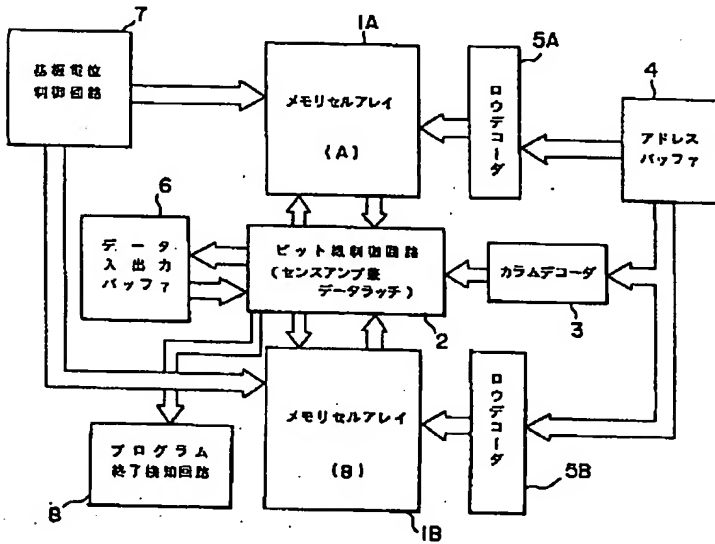


(c)

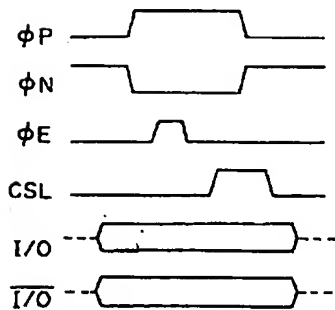
【図7】



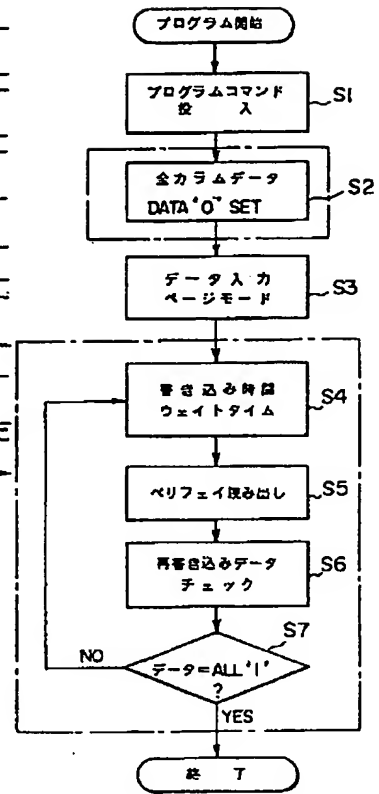
【図8】



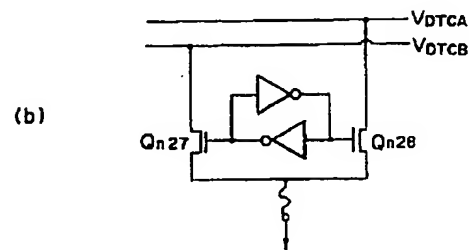
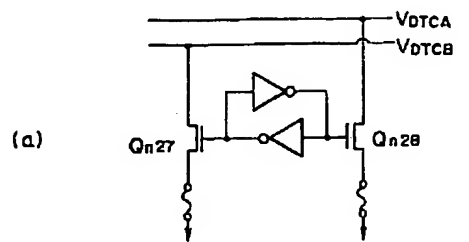
【図29】



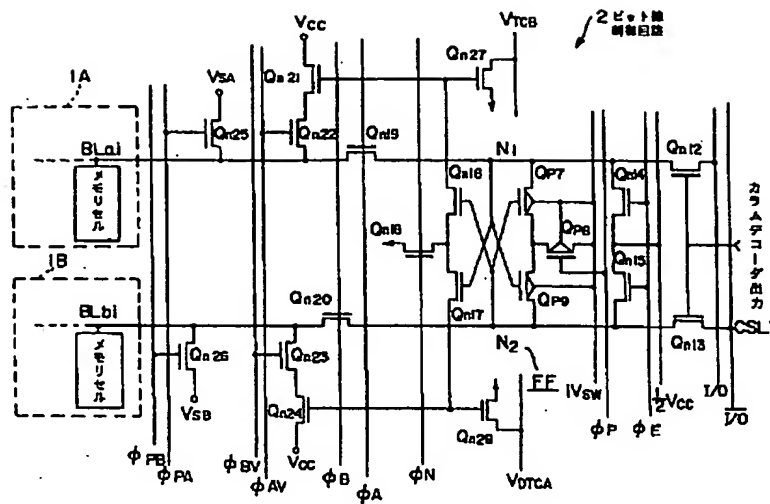
【図22】



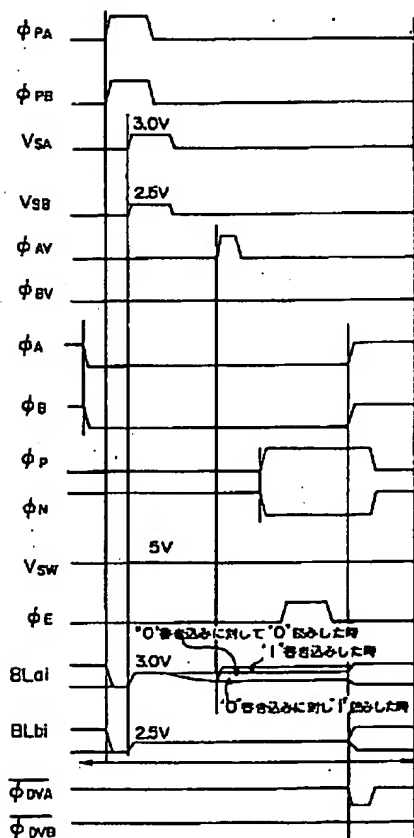
【図24】



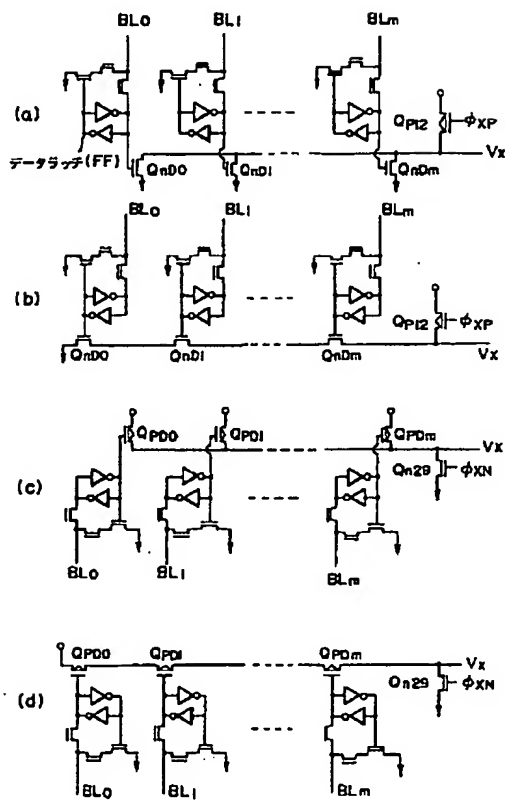
【図9】



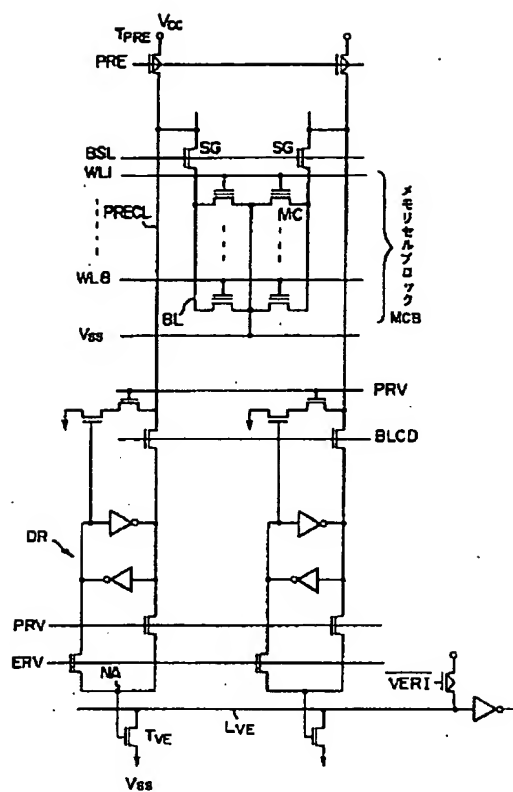
【図11】



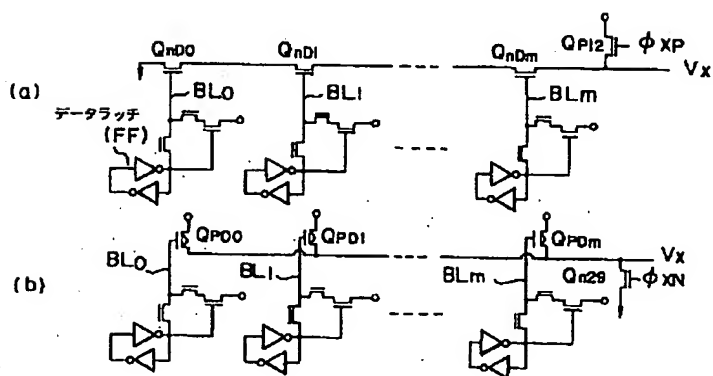
【図13】



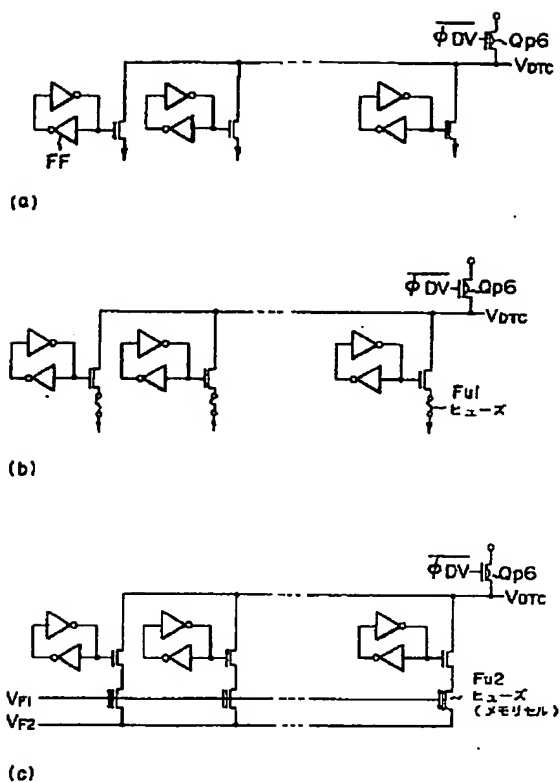
【図14】



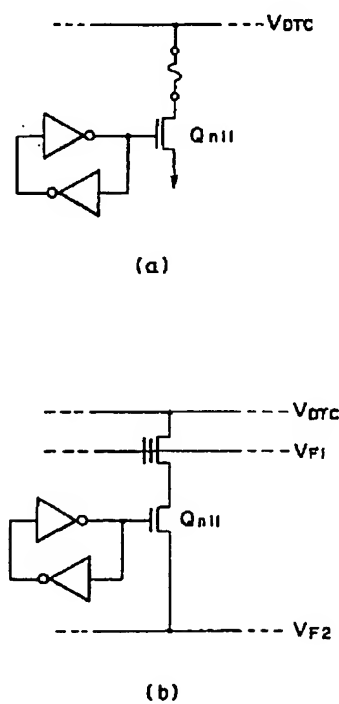
【図16】



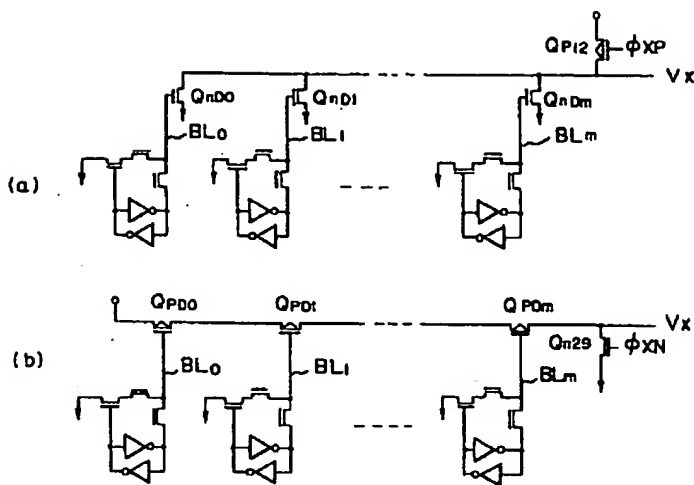
【図19】



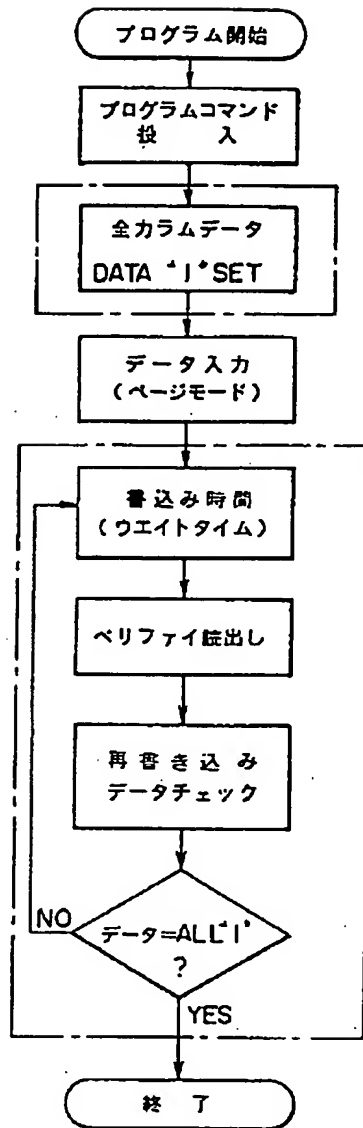
【図25】



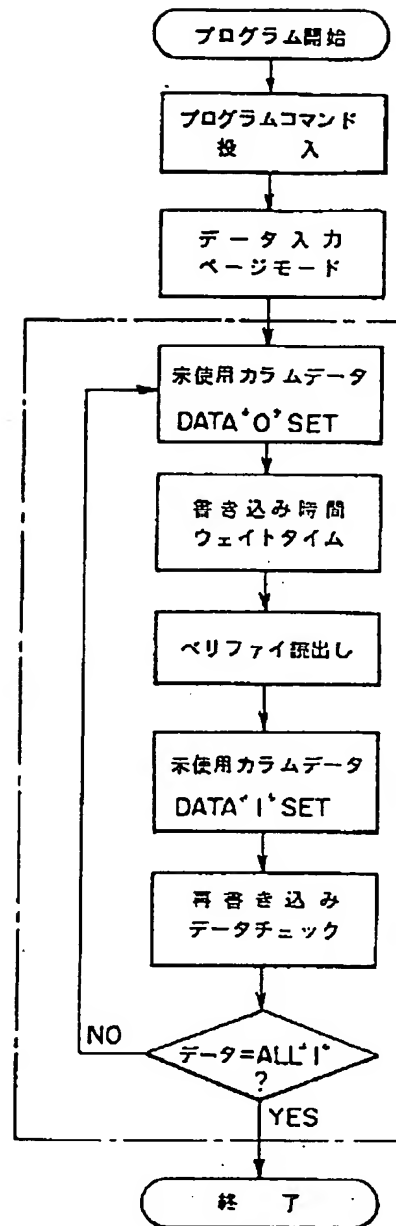
【图 17】



【図18】

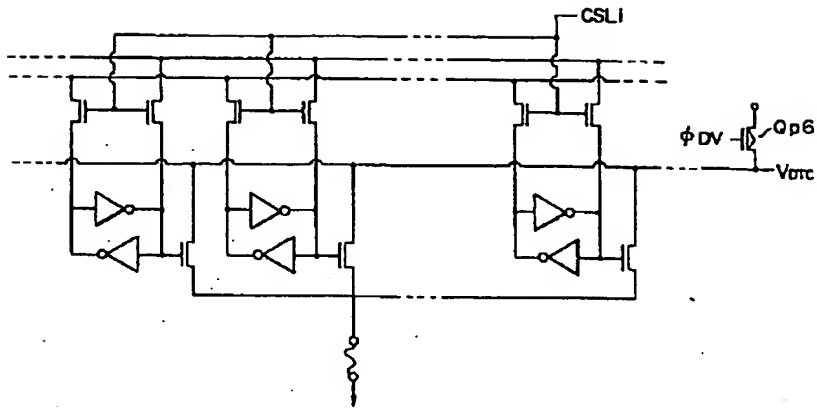


(a)

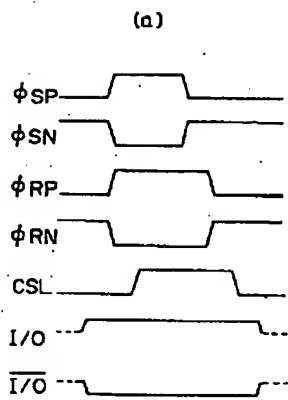


(b)

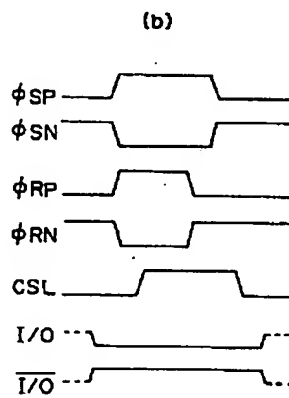
【図 2 3】



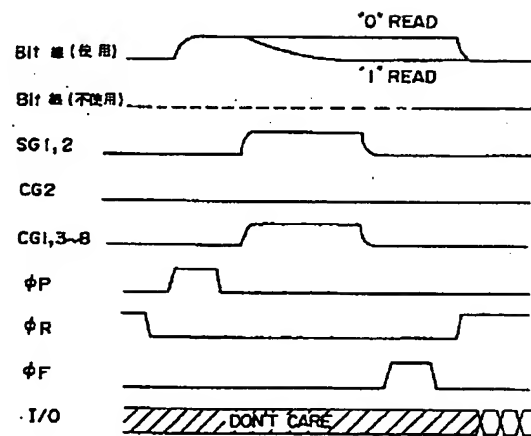
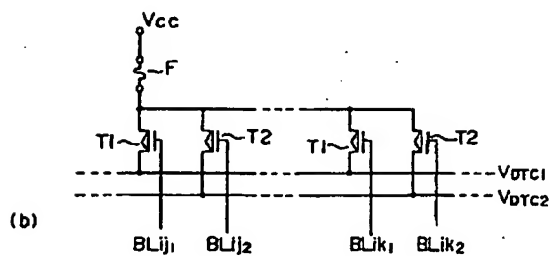
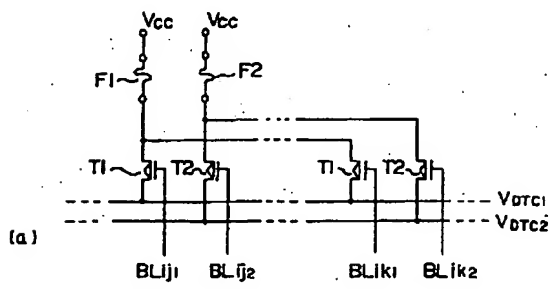
【図 2 8】



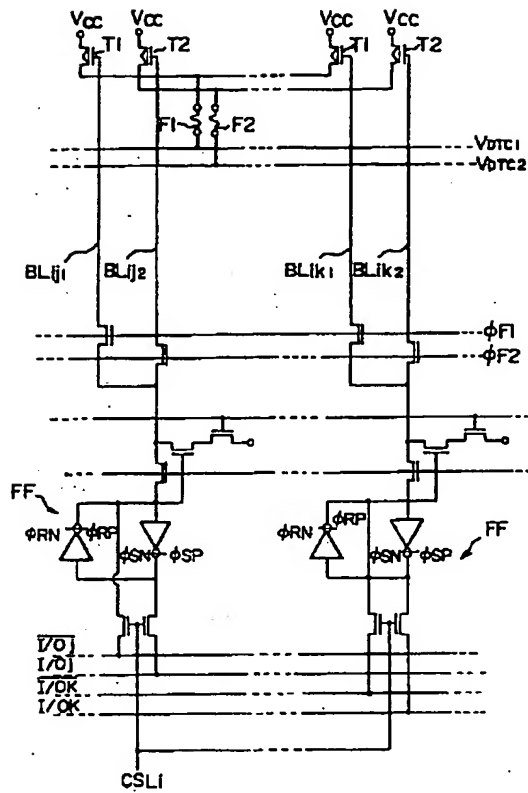
【図 3 1】



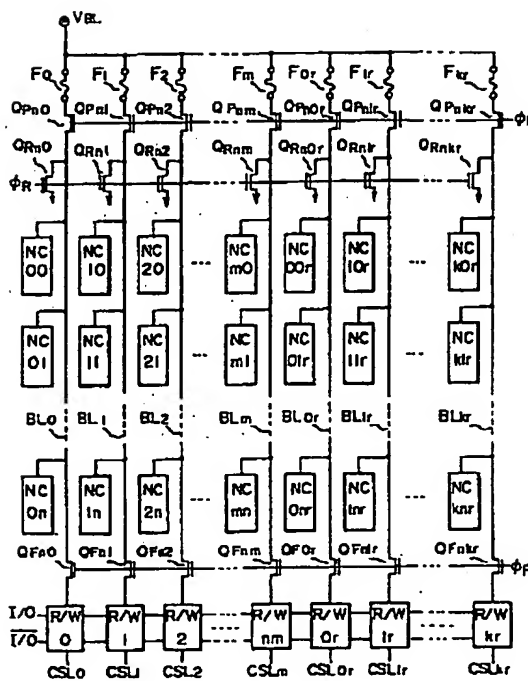
【図 3 5】



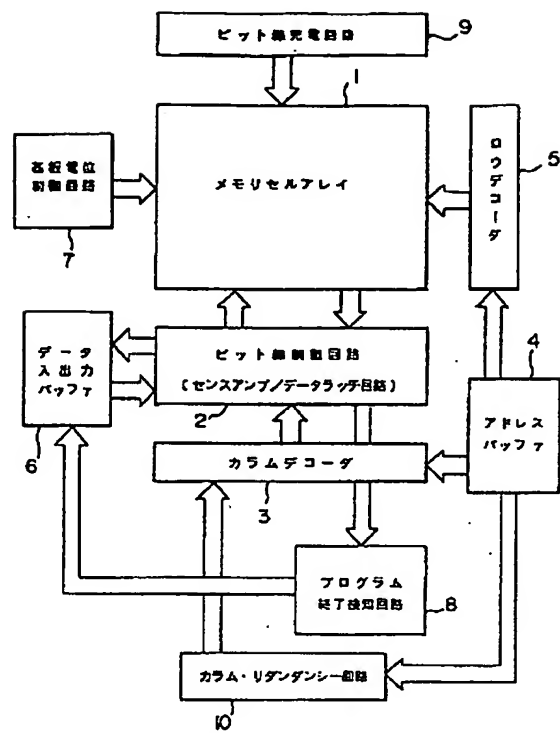
【図 30】



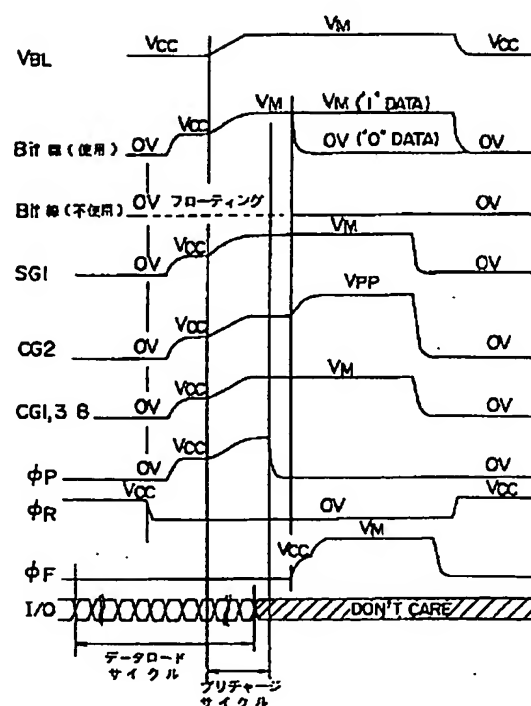
【図 33】



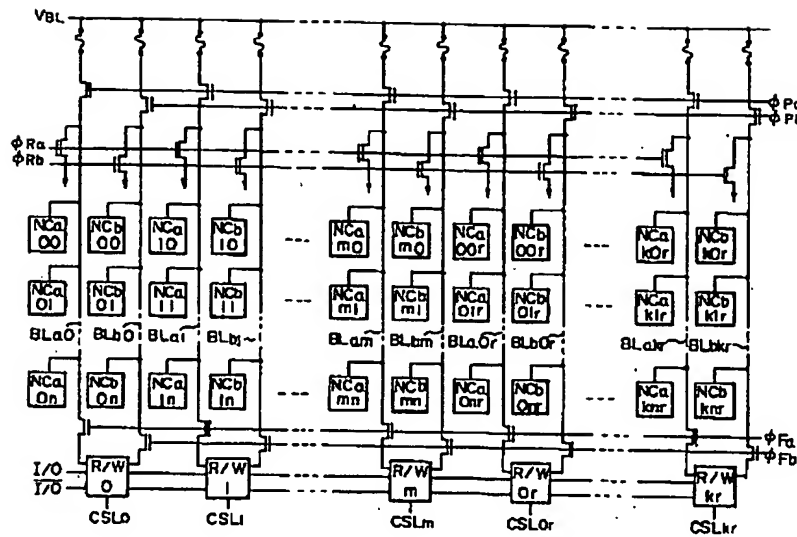
【図 32】



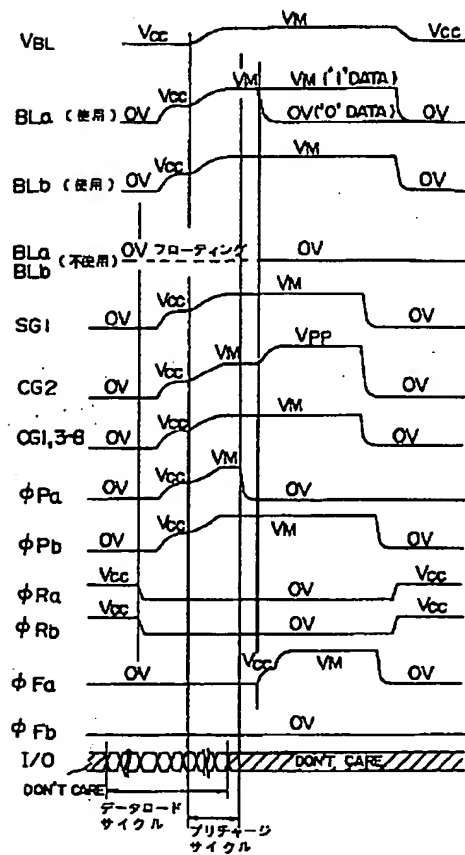
【図 34】



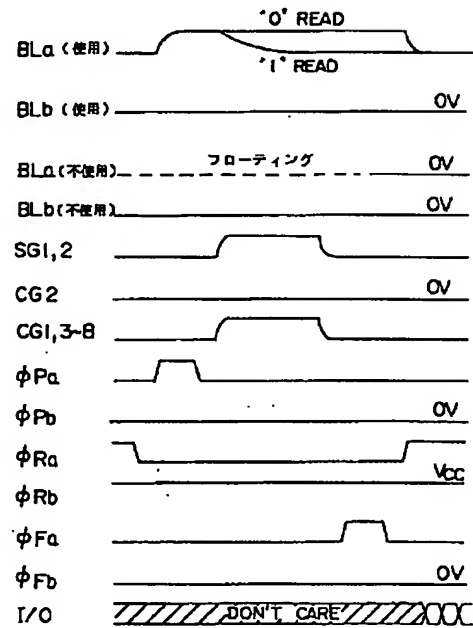
【図36】



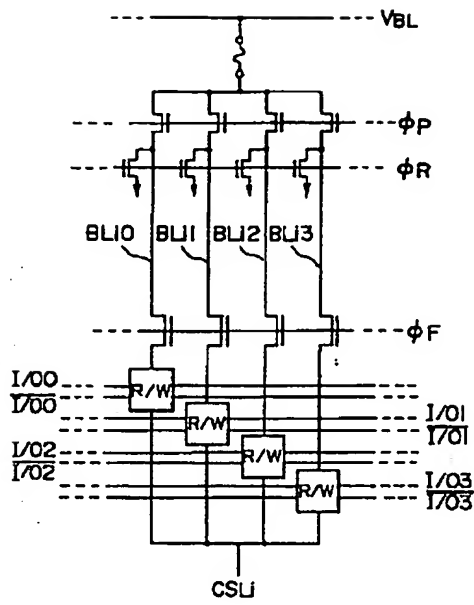
【図37】



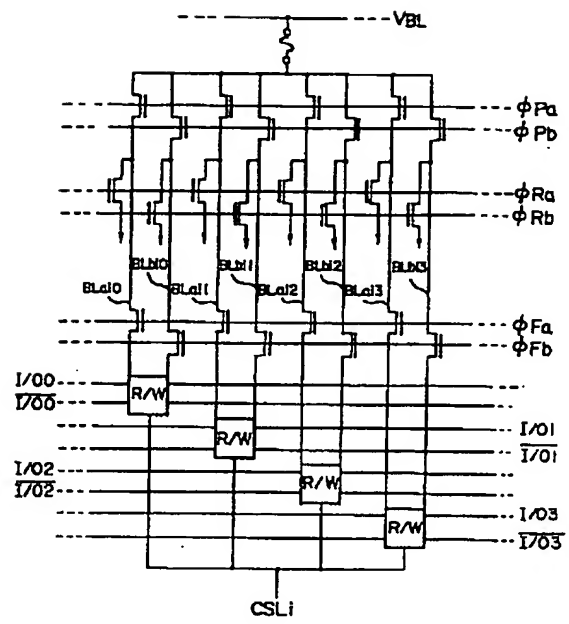
【図38】



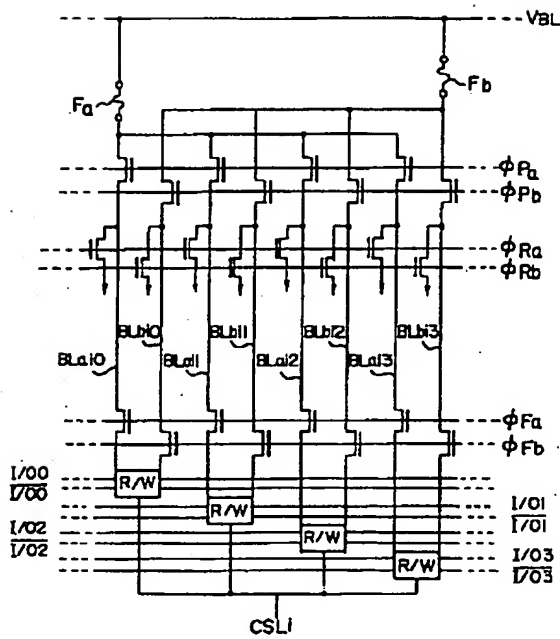
【図39】



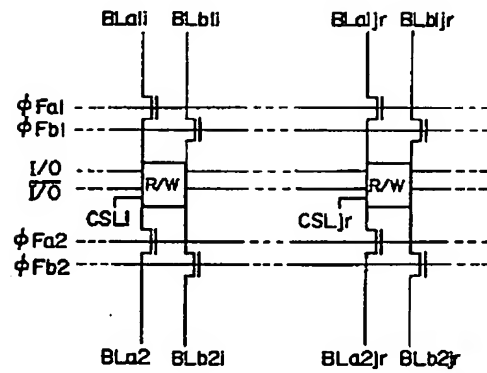
【図40】



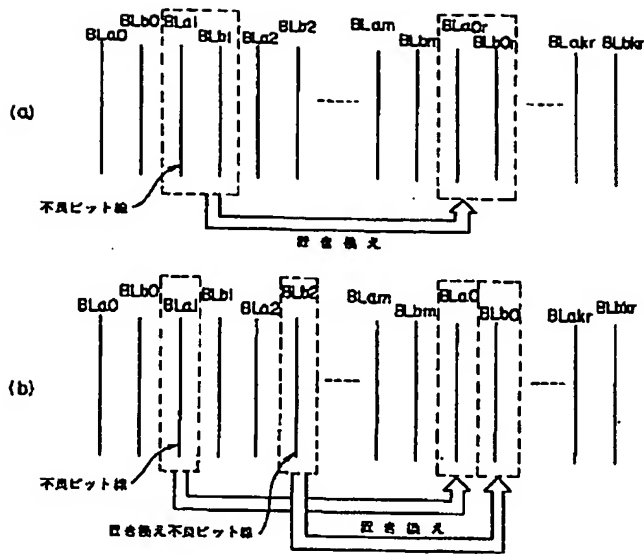
【図41】



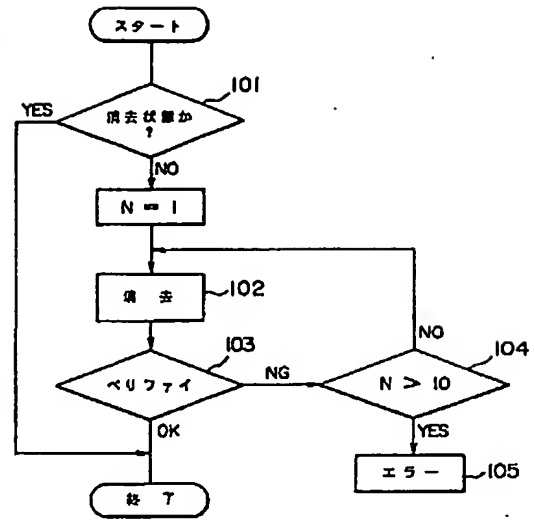
【図44】



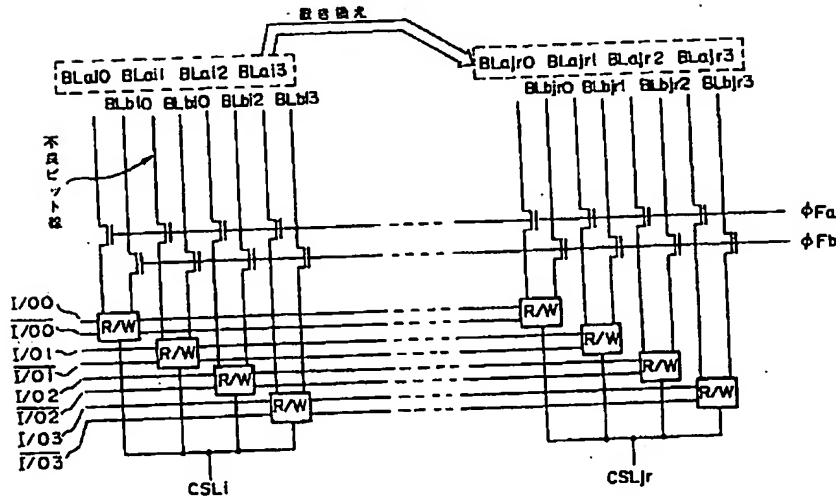
【図42】



【図52】

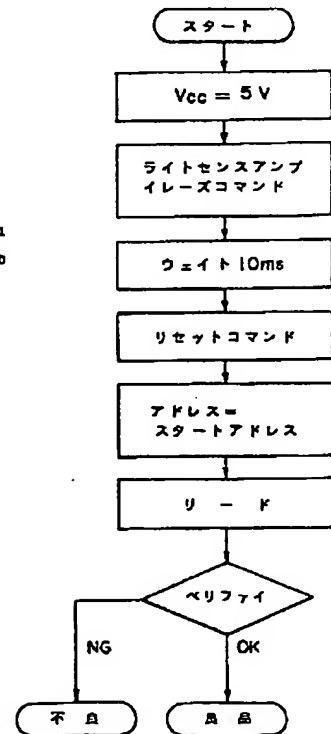


【図43】

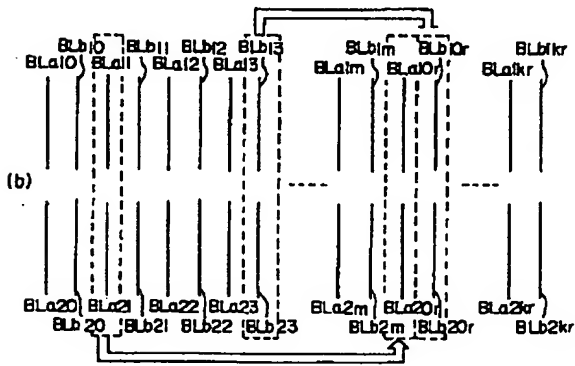
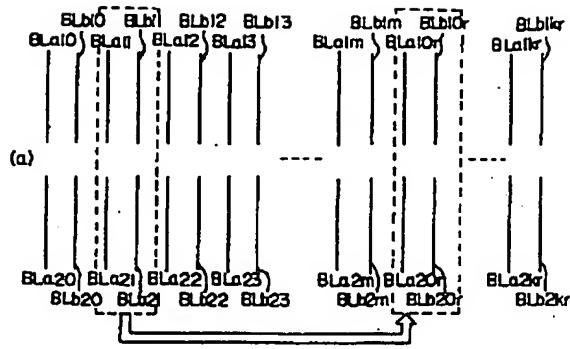


【図61】

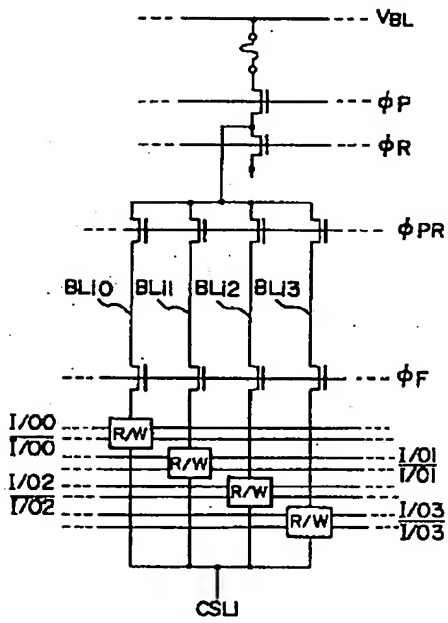
(イレージフローチャート)



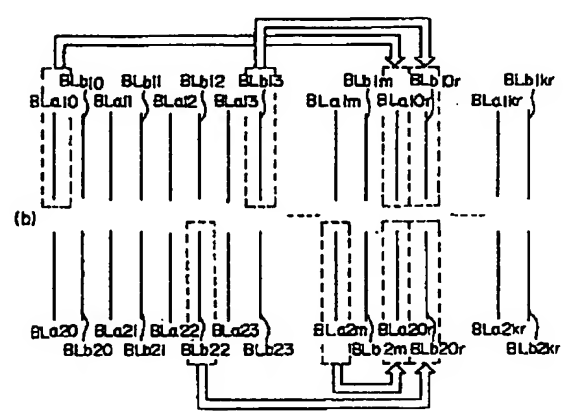
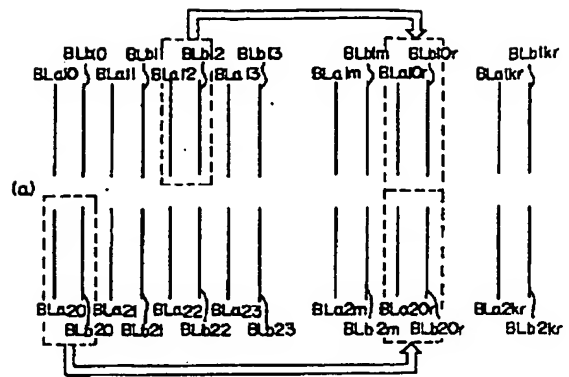
【図 4 5】



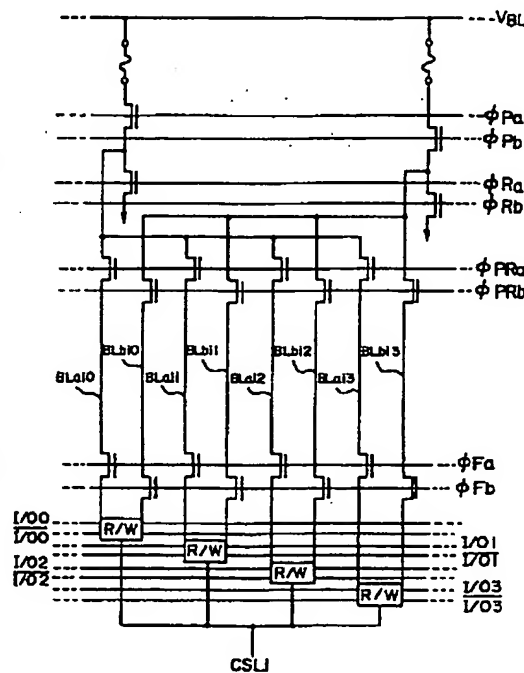
【図 4 7】



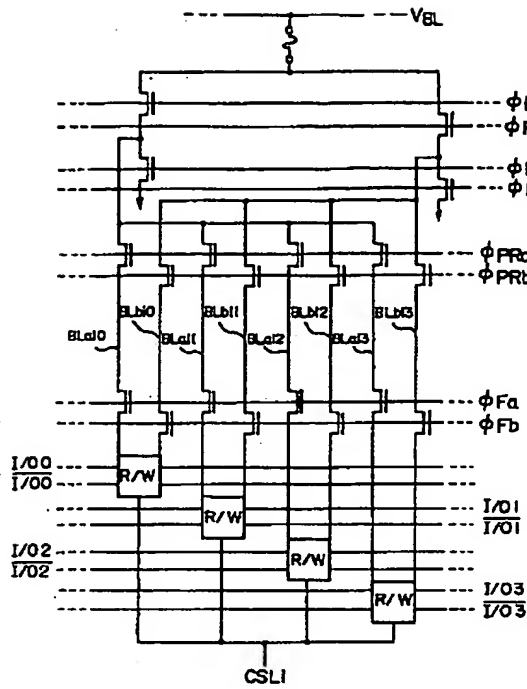
【図 4 6】



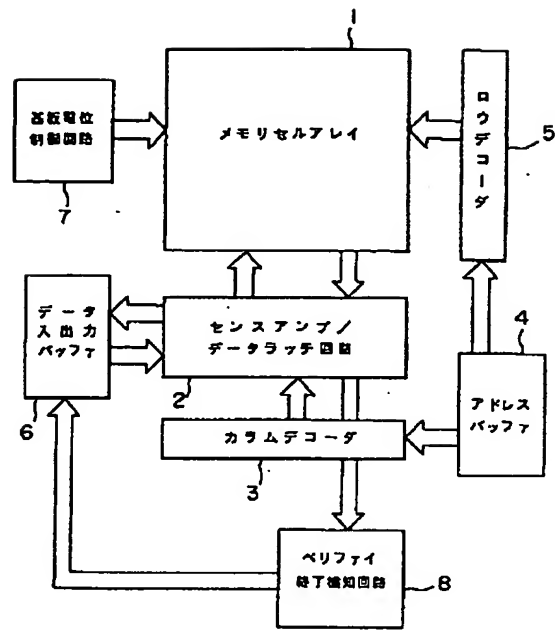
【図 4 8】



【図49】

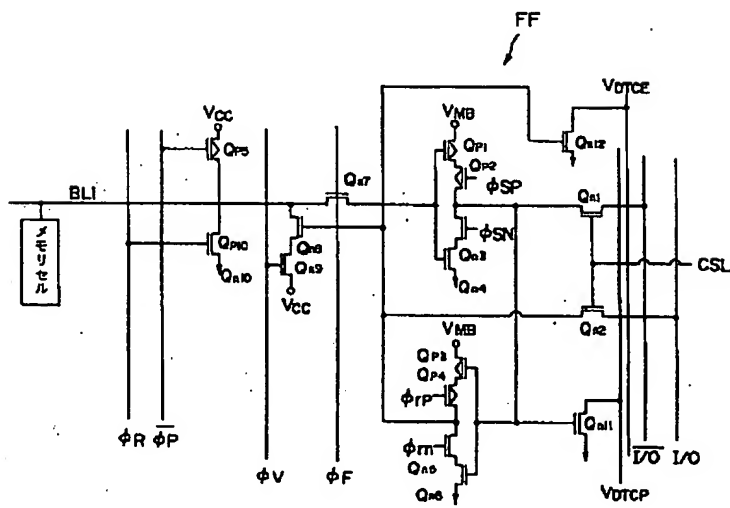


【図50】

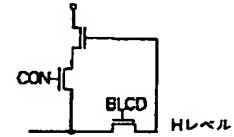


【図70】

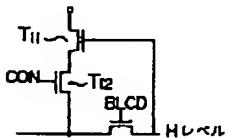
【図51】



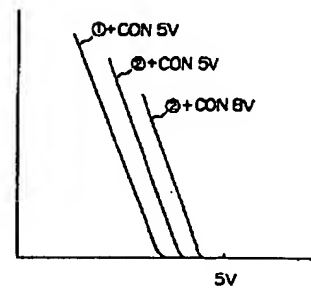
(a)



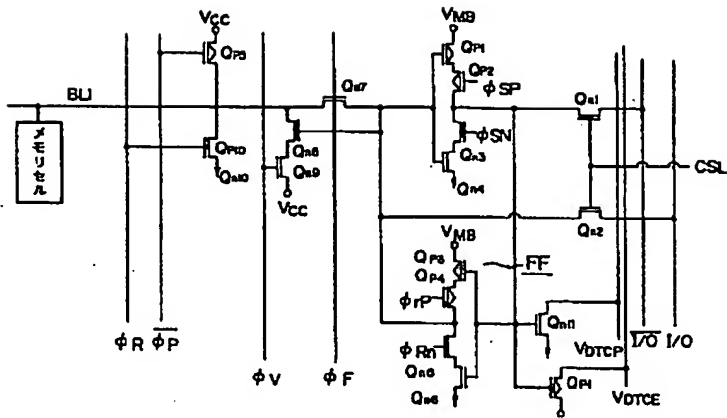
(b)



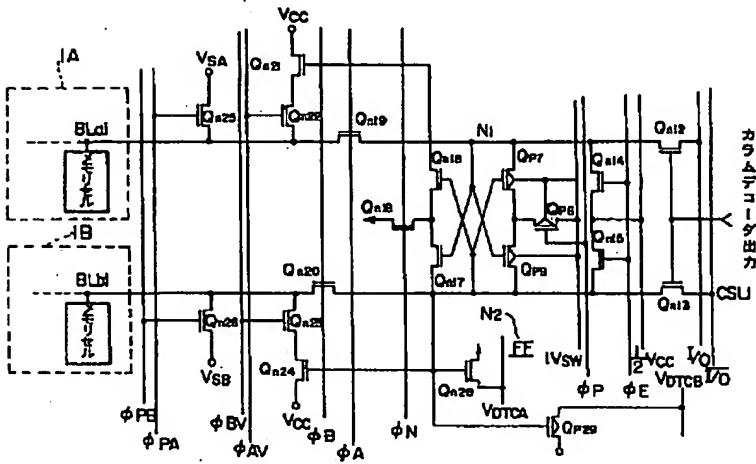
(c)



【図 5 5】

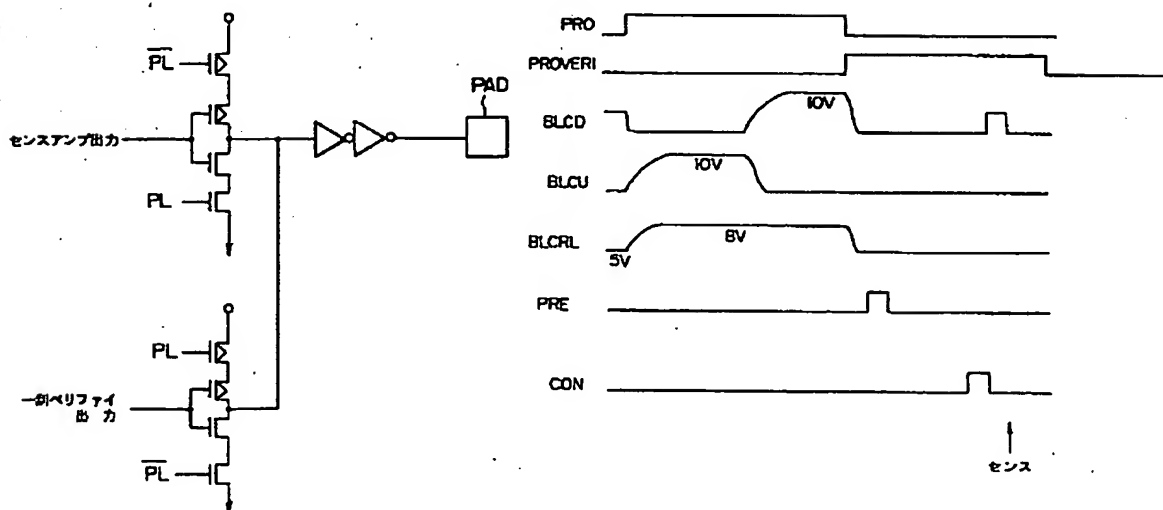


【図 5 6】

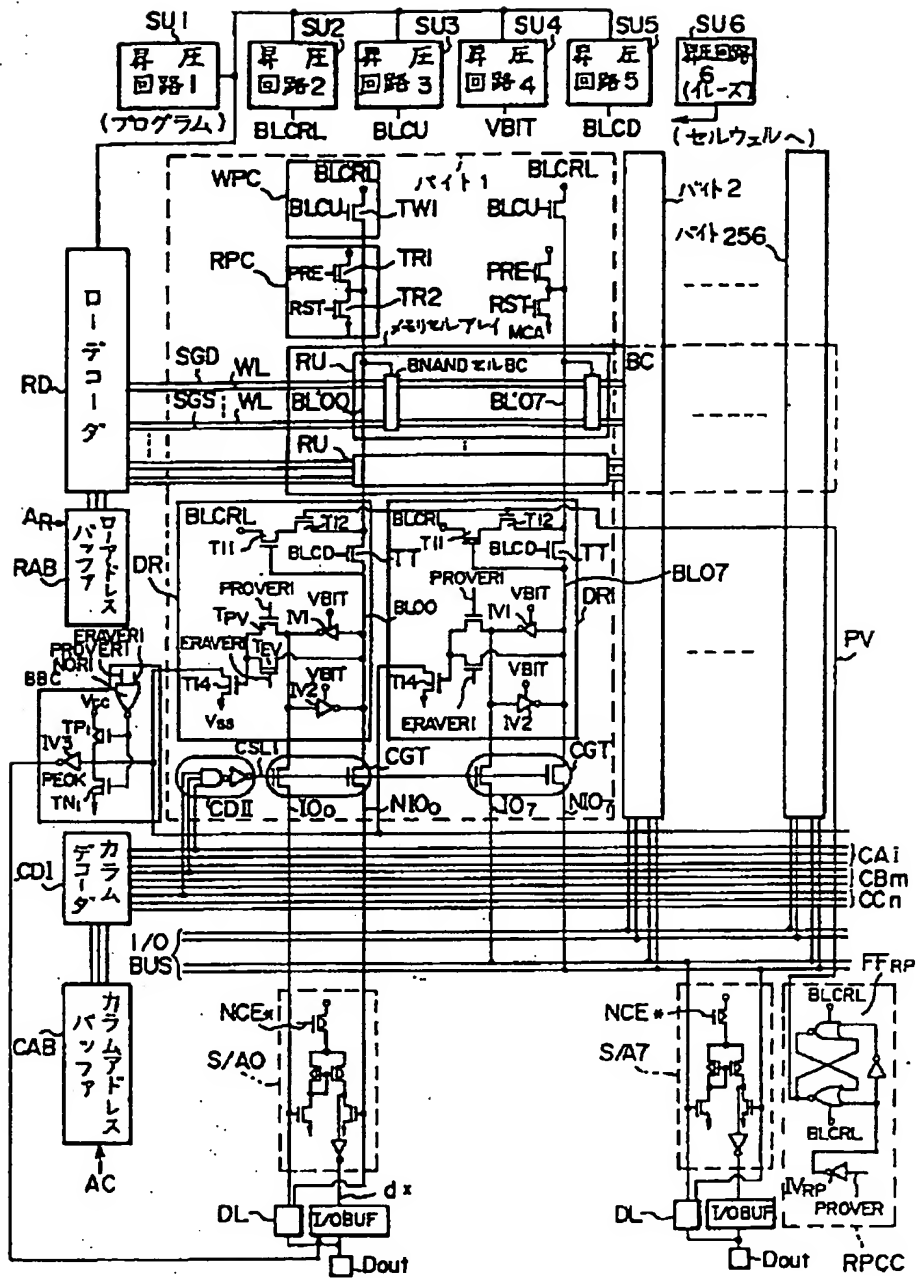


【図 6 2】

【図 6 4】



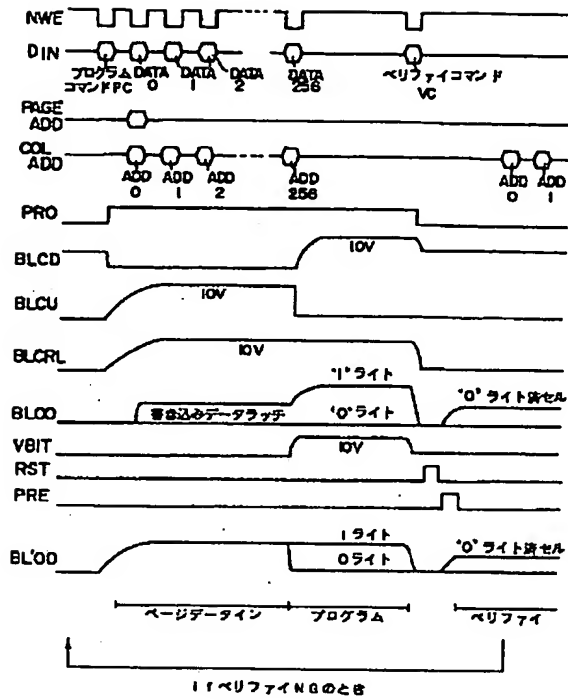
【図57】



【図83】

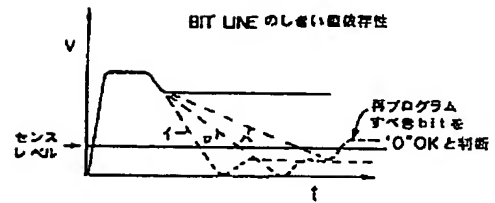
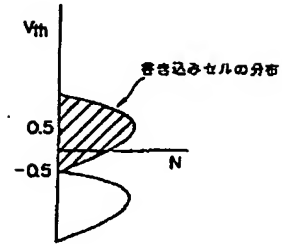
書き込みデータ	0	0	1	1
ペリファイデータ	0	1	0	1
コンパレート後の出力データ	0	1	1	0

【図58】

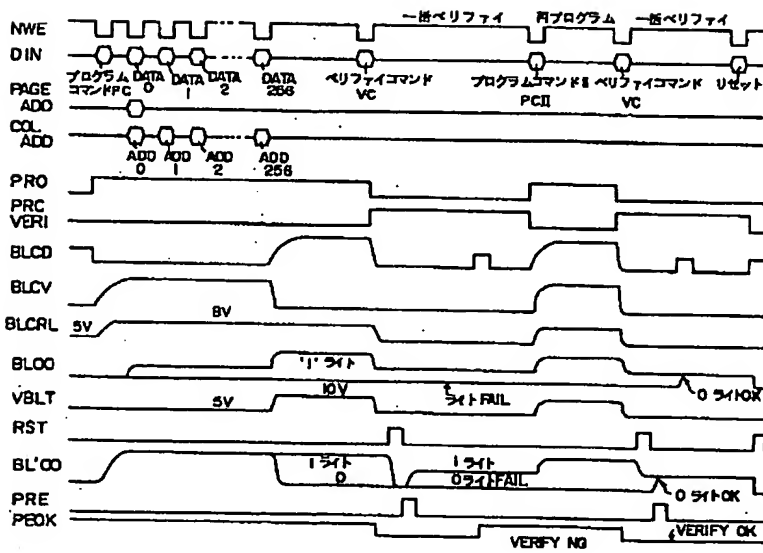


【図66】

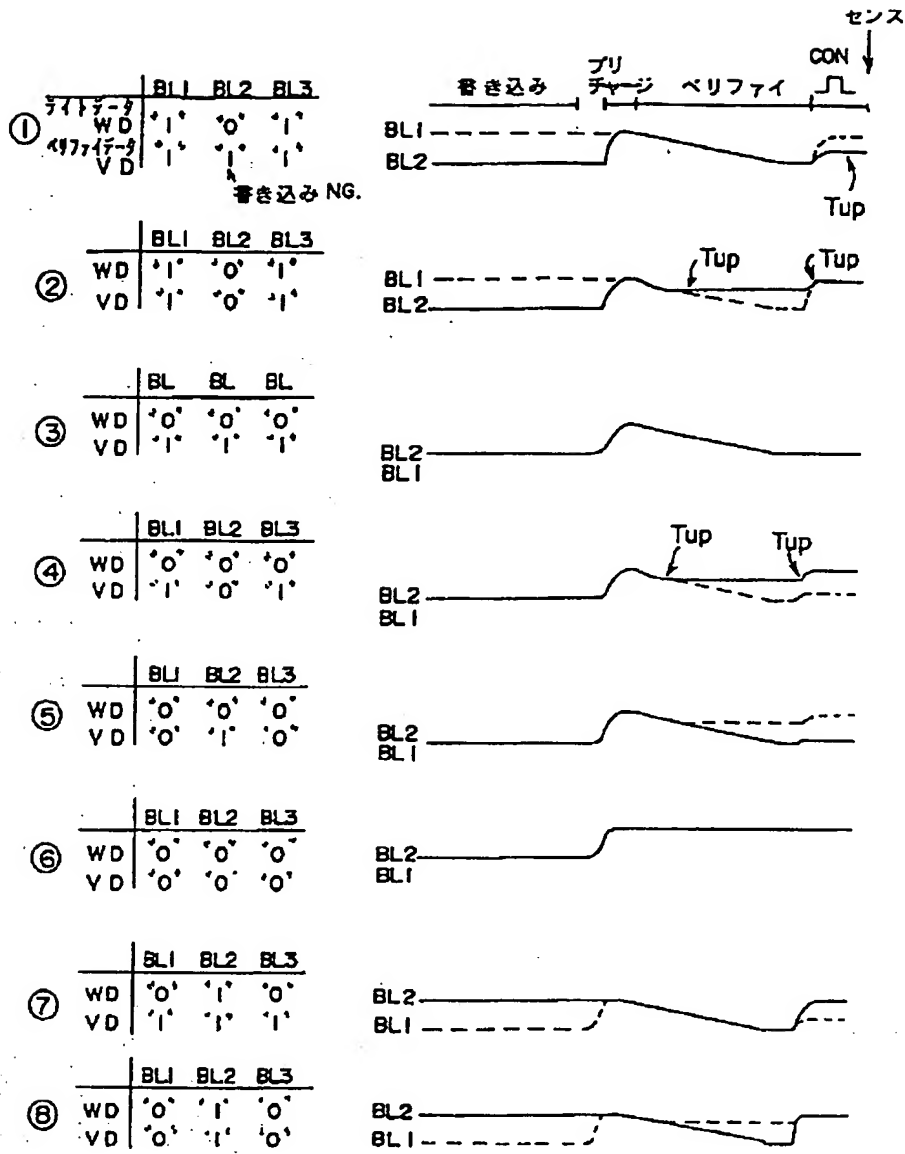
	BL1	BL2	BL3
WD	'1'	'0'	'1'
VD	'1'	'1'	'1'



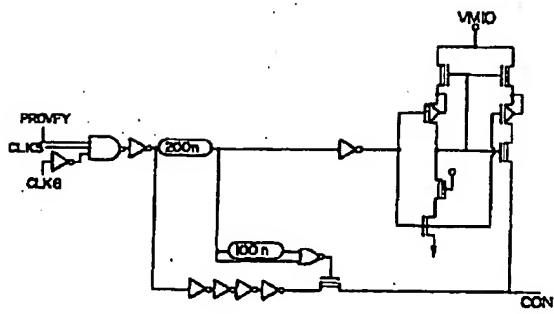
【図59】



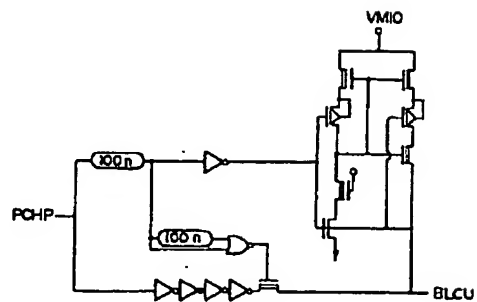
【图 6 5】



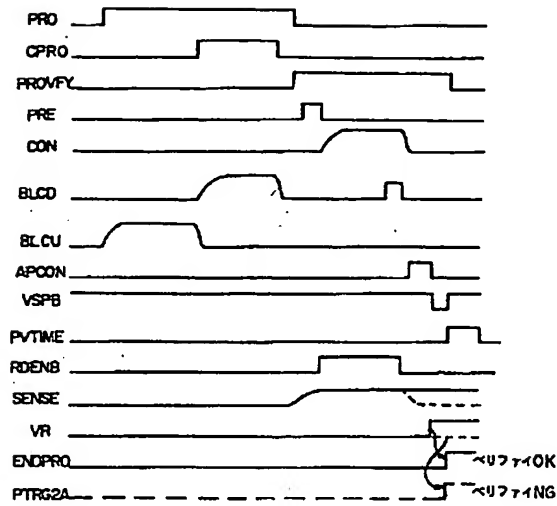
【图 7 5】



【图 7 6】

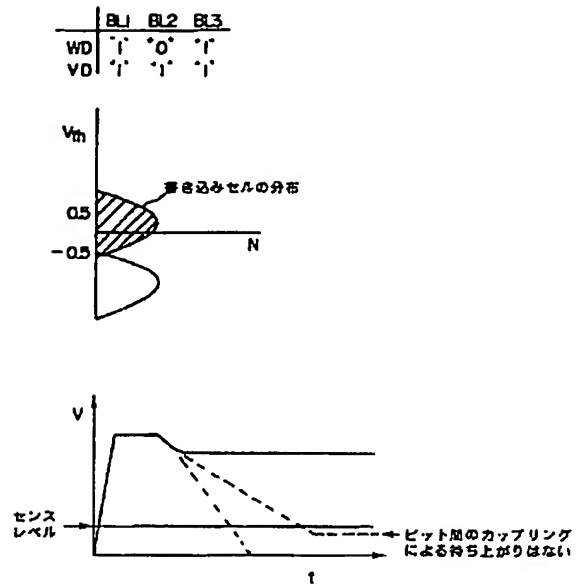


【図67】

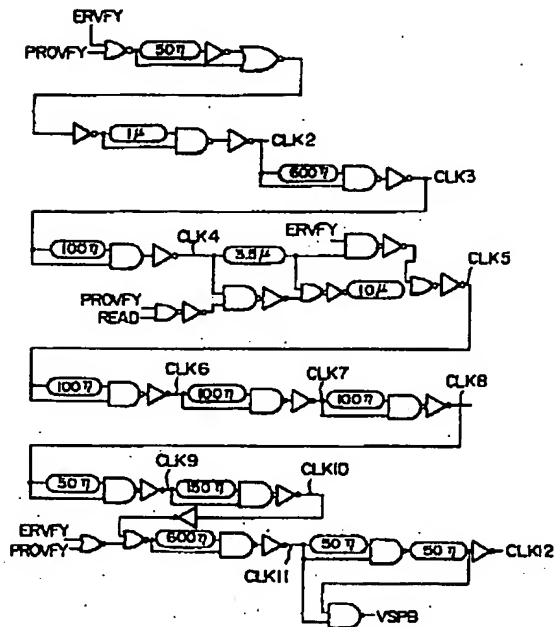


【図71】

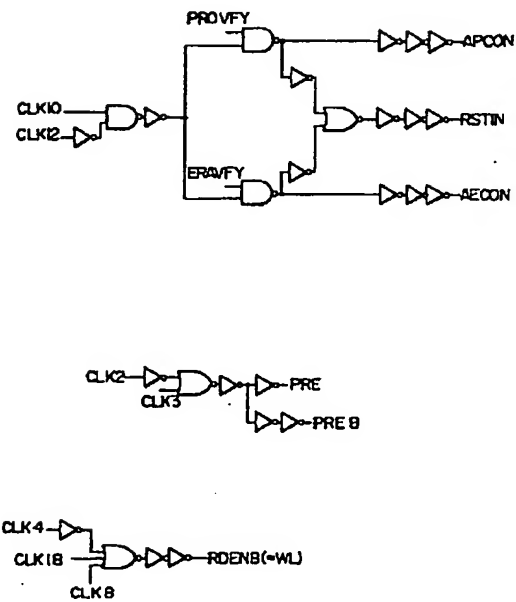
【図69】



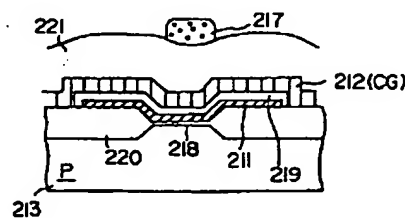
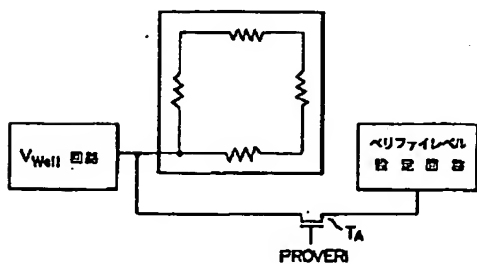
【図74】



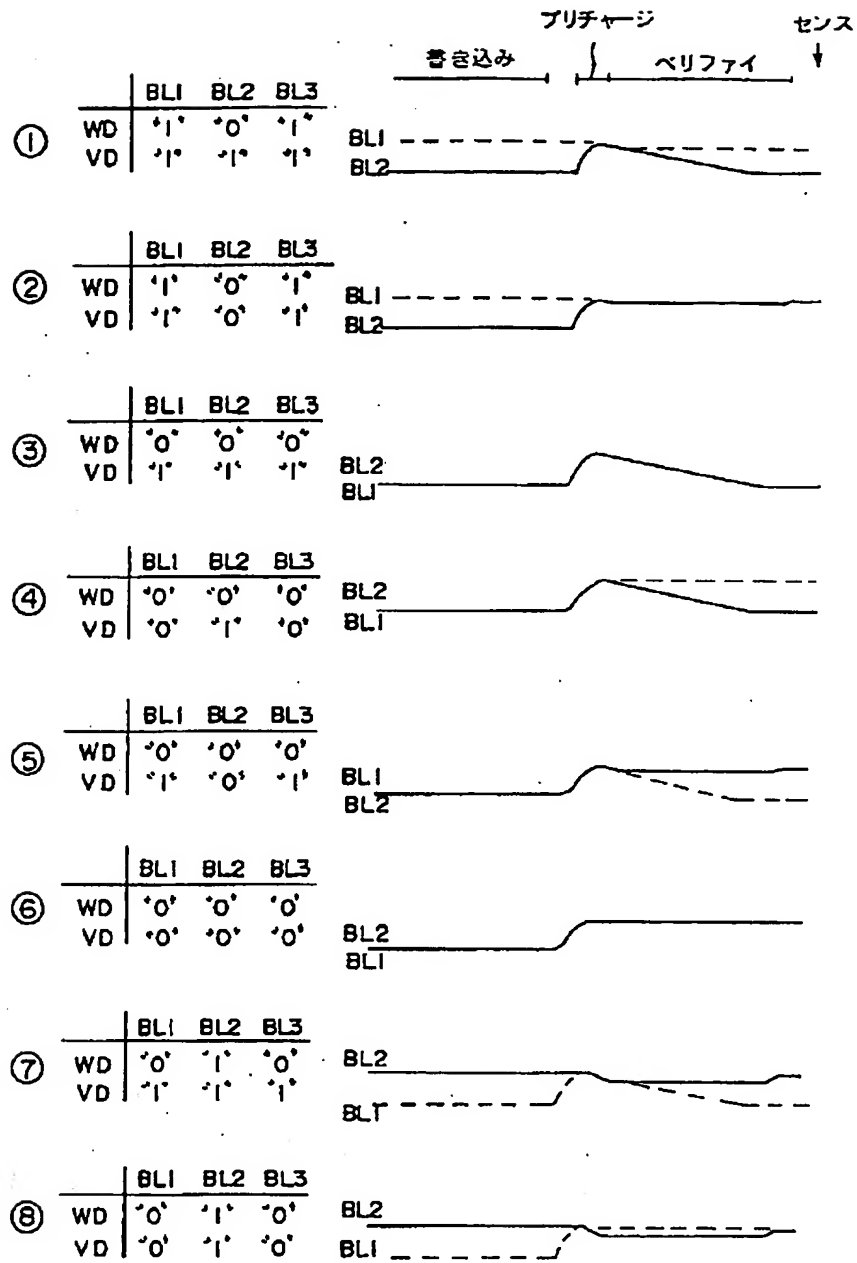
【図79】



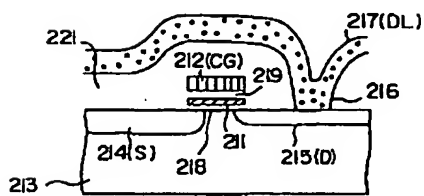
【図93】



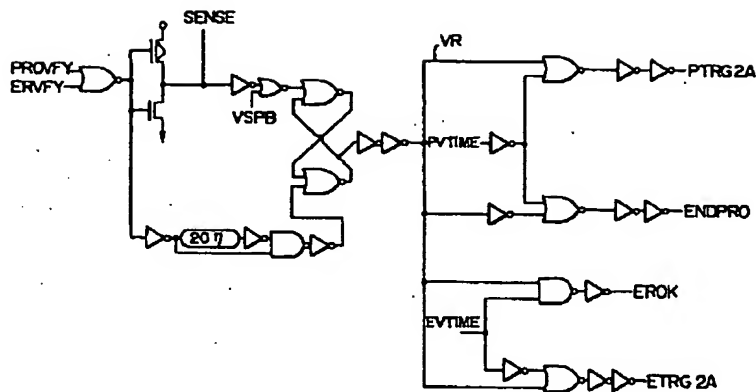
【図68】



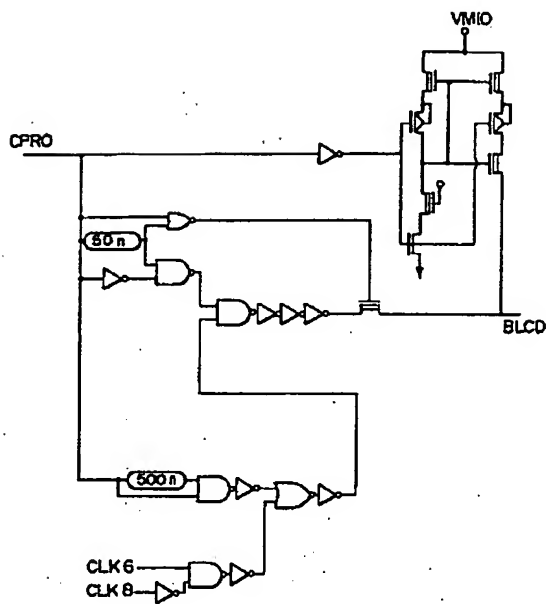
【図94】



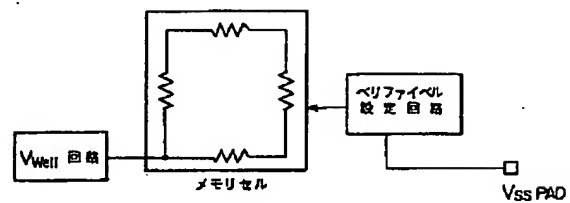
【例 7 2】



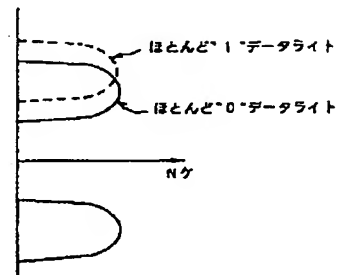
【图 7 7】



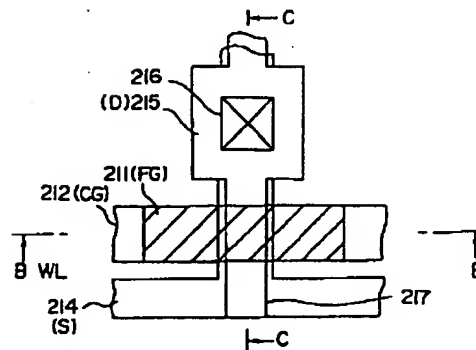
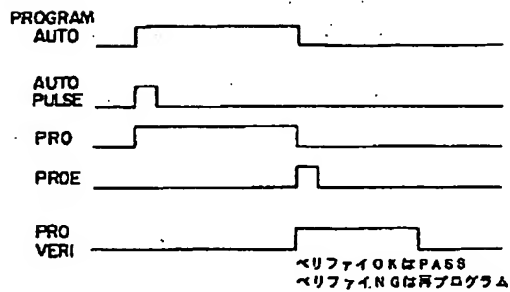
【図 78】



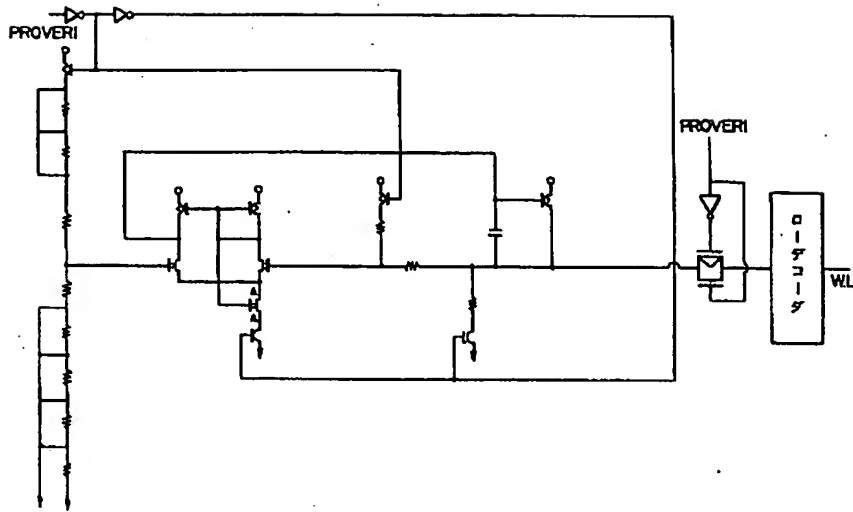
【図 9 2】



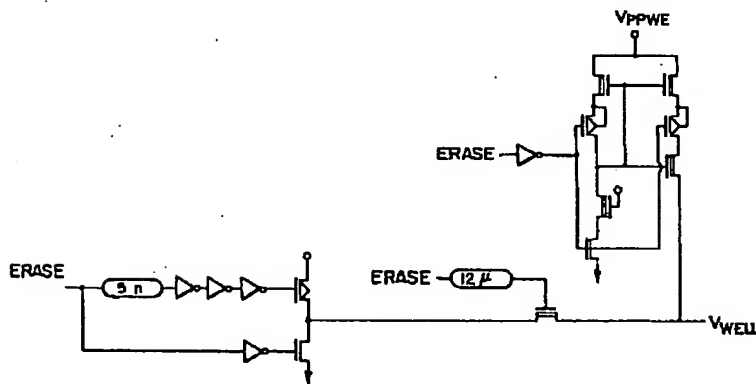
【图 8 5】



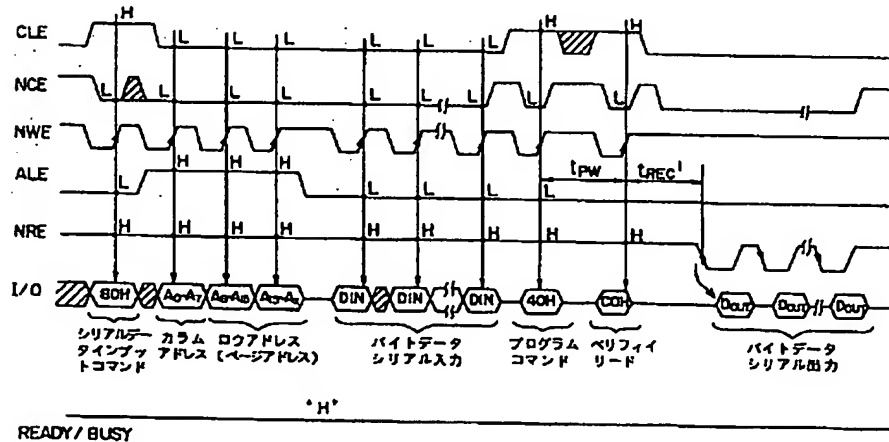
【図80】



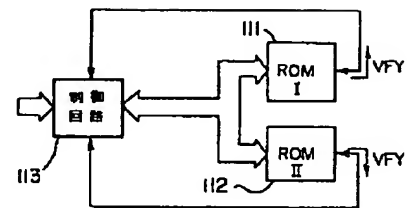
【図81】



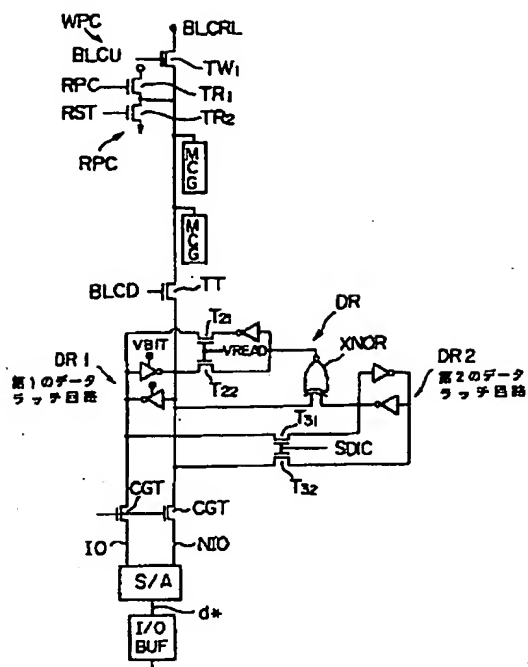
【図89】



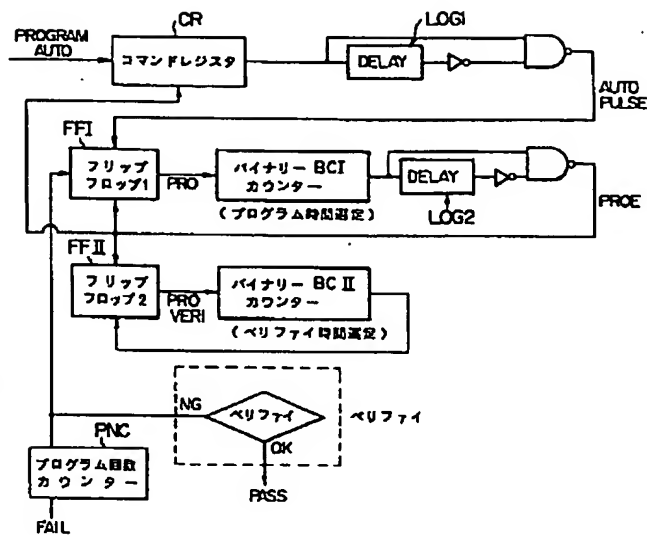
【図102】



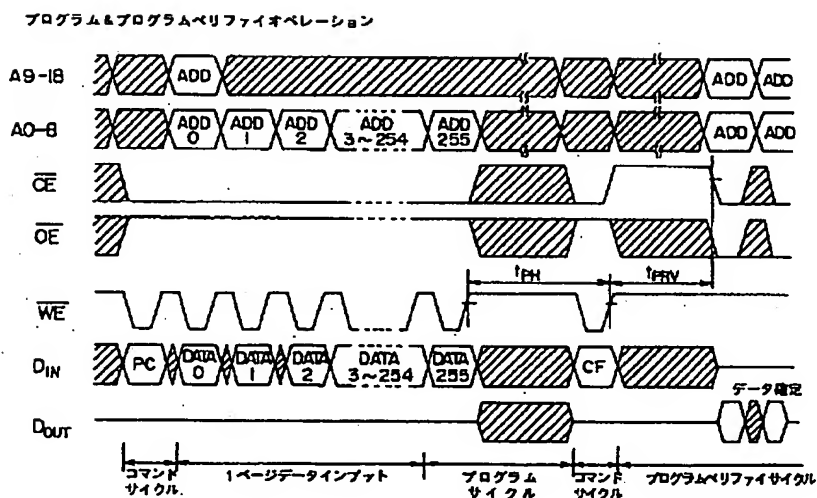
【図82】



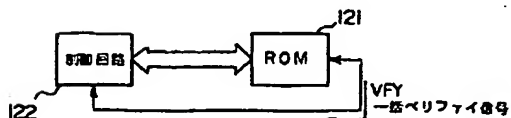
【図84】



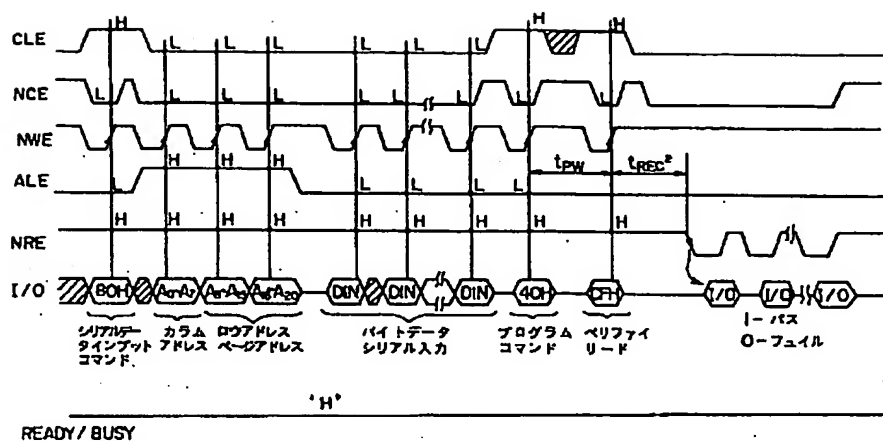
【図86】



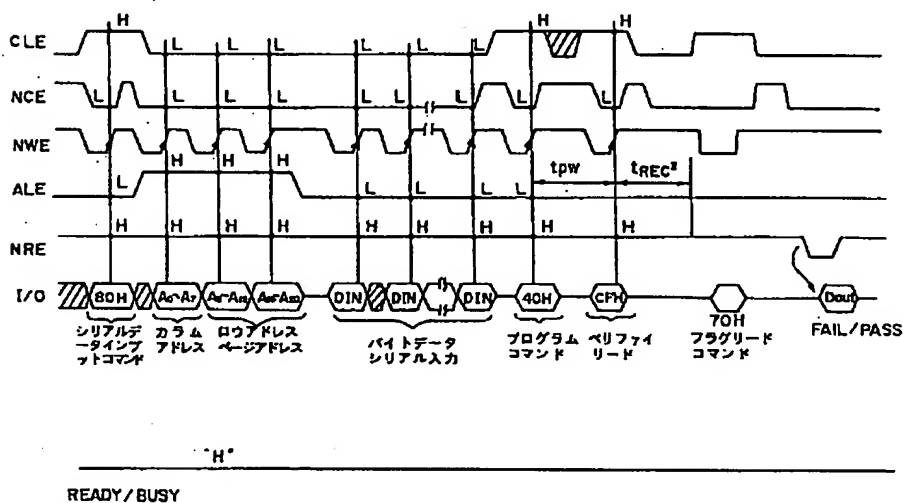
【図100】



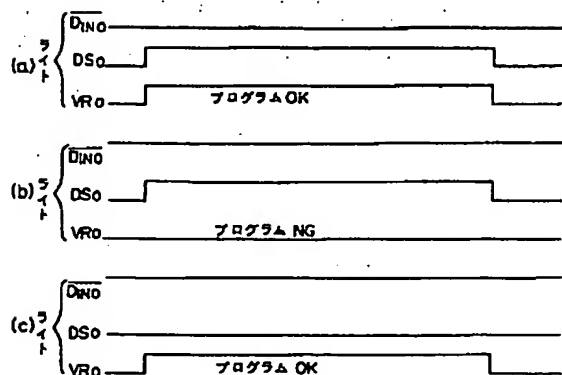
【図90】



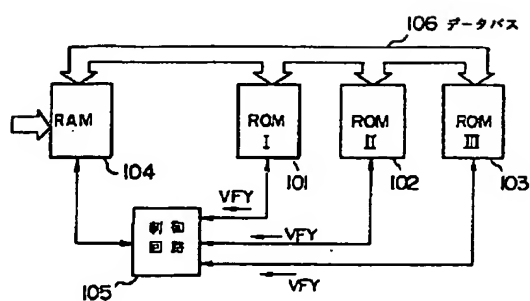
【図91】



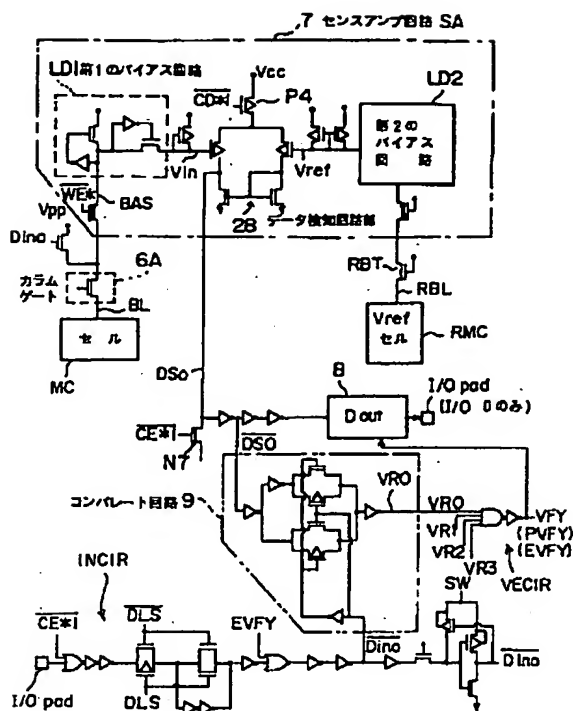
【図97】



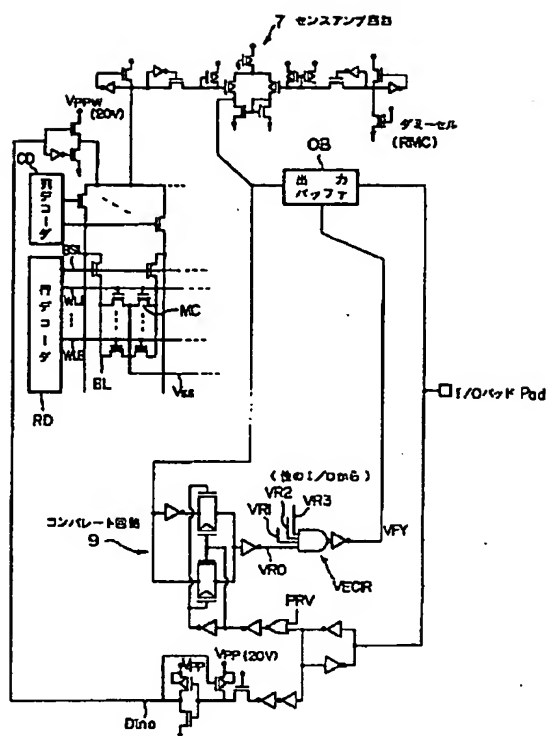
【図101】



【図96】



【図99】



フロントページの続き

(51) Int. Cl. ⁷

識別記号

H 0 1 L 21/8247
27/115
29/788
29/792

F I

テーマコード (参考)

G 1 1 C 17/00 6 2 2 E
H 0 1 L 27/10 4 3 4
29/78 3 7 1

- (31) 優先権主張番号 特願平4-77946
(32) 優先日 平成4年3月31日 (1992. 3. 31)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平4-105831
(32) 優先日 平成4年3月31日 (1992. 3. 31)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平4-175693
(32) 優先日 平成4年7月2日 (1992. 7. 2)
(33) 優先権主張国 日本 (J P)
(72) 発明者 加藤 秀雄
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(72) 発明者 中井 弘人
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

- (72) 発明者 田中 義幸
神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内
(72) 発明者 白田 理一郎
神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内
(72) 発明者 有留 誠一
神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内
(72) 発明者 伊藤 寧夫
神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内
(72) 発明者 岩田 佳久
神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

(72)発明者 中 村 寛
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内
(72)発明者 大 平 秀 子
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72)発明者 岡 本 豊
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内
(72)発明者 浅 野 正 通
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内
(72)発明者 徳 重 芳
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内